密 级 非密

编 号 24.0

EasyGo DeskSim PXIBox 起步指南

二〇二四年 1 月

Copyright © EasyGo-Tech. All Rights Reserved.

目录

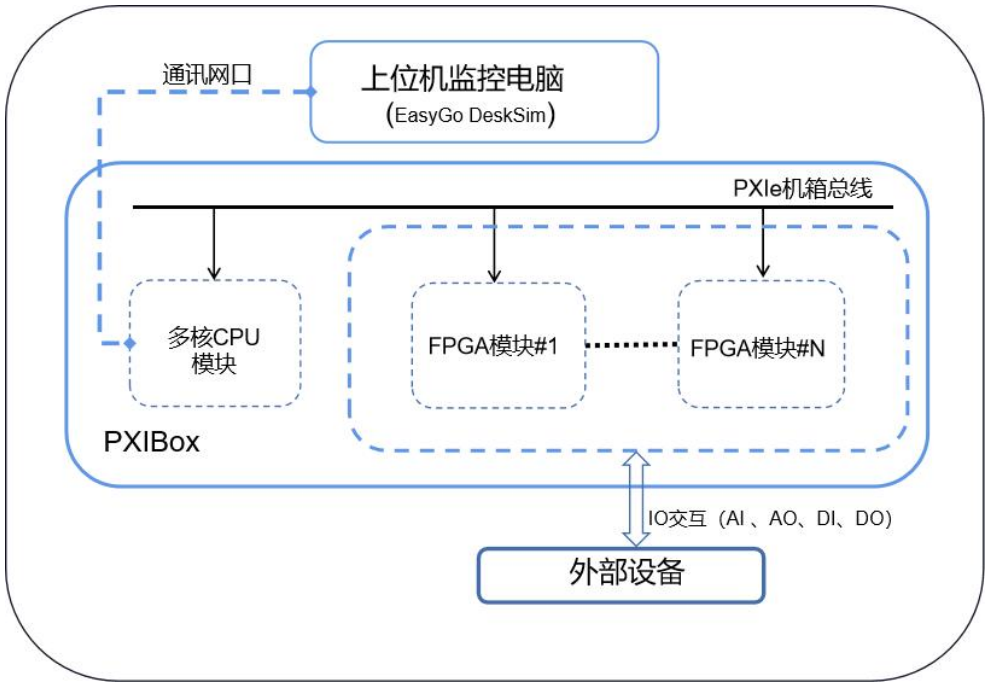
PXIbox 通讯架构 1
仿真准备 3
1. PXIBox 设备环境搭建 3
2.PXIBox 硬件接口描述 5
软件简介 12
实时仿真操作流程 14
Template 1： CPU Alone 15
Template 2： CPU + FPGA 28
Template 3： CPU + FPGAs 42
Template 4： FPGA Alone 58
Template 5： FPGAs 71
EasyGo FPGA Coder 86
Template ： EasyGo FPGA Coder 87
EasyGo Power Electronic&FPGA Coder 103

Copyright © EasyGo-Tech. All Rights Reserved.

PXIbox 通讯架构

架构概述

PXIBox 基于 PXI 工业通讯架构的实时仿真模拟系统，实时仿真器包含了多核 CPU 模块以及 FPGA 模块，架构如下图。



PXIBox 架构图

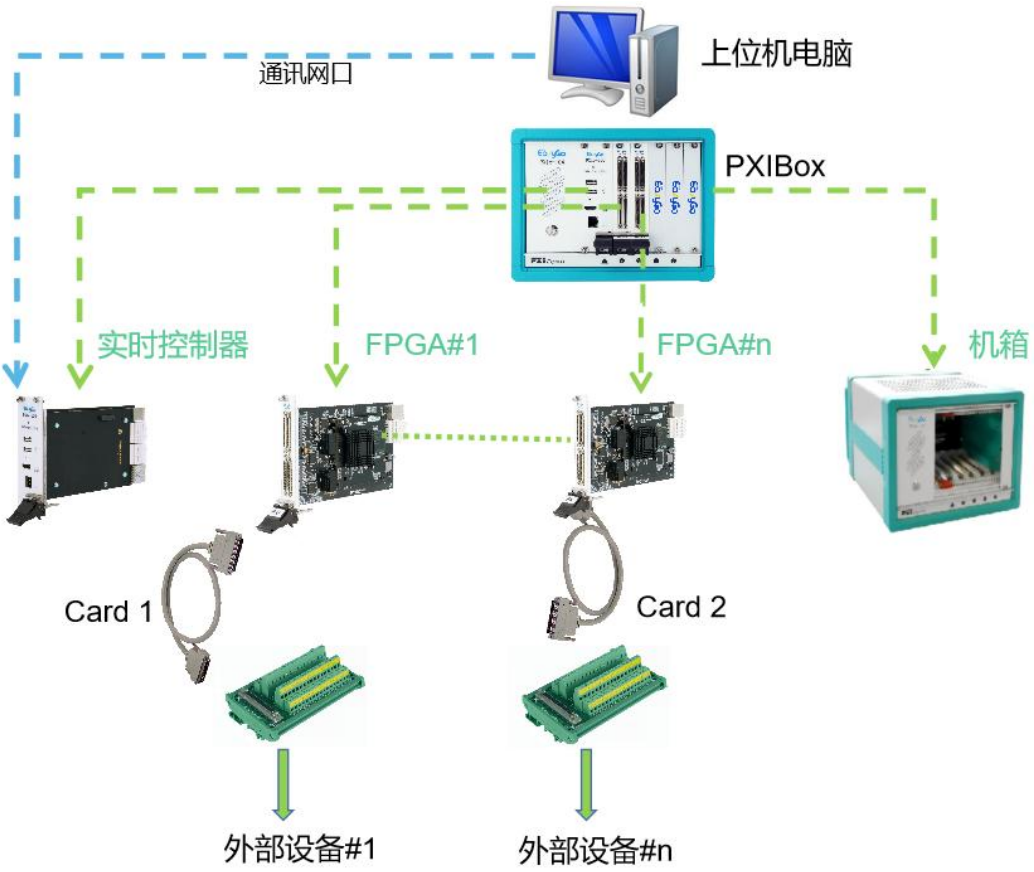
多核 CPU 模块：多核 CPU 模块运行有 linux 实时操作系统，利用多核并行技术，分别完成与实时仿真器上位机管理系统数据与指令的交互，网口通信，以及 Model 仿真。

FPGA 模块：实现模型的高速仿真运行，同时通过 IO 接口与外部设备进行交互。配合多核 CPU 完成各种复杂系统的实时仿真功能。

PXI 机箱：为多核 CPU 模块以及 FPGA 模块提供供电，并提供背板的 PXIe 总线。同时提供 PXIe 模块插槽，方便灵活配置以及后续的扩展升级。

PC 上位机：上位机系统通过以太网和实时控制器通信，作为整套设备的监控系统，通过上位机软件 DeskSim 来实现对模型的下载，编译，部署，运行等功能，同时可以进行波形的实时显示与存储和在线控制参数调节等监控功能。

Copyright © EasyGo-Tech. All Rights Reserved.



系统结构图

Copyright © EasyGo-Tech. All Rights Reserved.

仿真准备

1. PXIBox 设备环境搭建

待拿到 PXIBox 设备及相关附件后，正确建立设备与上位机系统联调环境。

首先，确定 PXIBox 设备后，正确接入电源，点击开关按键开机，关闭长按 3-4 秒开关按键即可关闭（具体以机箱供电实际为准）、网线以及上位机电脑，如下图所示：



在设备与上位机连接完成后需开启上位机电脑和 PXIBox 。开启后先验证上位机与 PXIBox 之间是否正确建立局域网络环境。

配置上位机电脑的 IP，使其与仿真器在同一网段内：

1. 打开上位机电脑确认：“网络和 Internet 选项——网络和共享中心——更改适配器设置——选择以太网<属性>——Internet 协议版本 4（TCP/IPV4）——IP 地址（I）*192. 168. 1. 50（此处 IP 为范例演示，实际配置只需要在同一网段即可）*——子网掩码（U）*255. 255. 255. 0*——默认网关（D）*192. 168. 1. 1* 如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



2.另一种方式，打开设置选项“ ”选择:网络和 Internet——以太网<属性>——IP 分配：IPV4 手动——IP 地址（I）*192.168.1.50（此处 IP 为范例演示，实际配置只需要在同一网段即可）* ——子网掩码（U）*255.255.255.0*。



Copyright © EasyGo-Tech. All Rights Reserved.

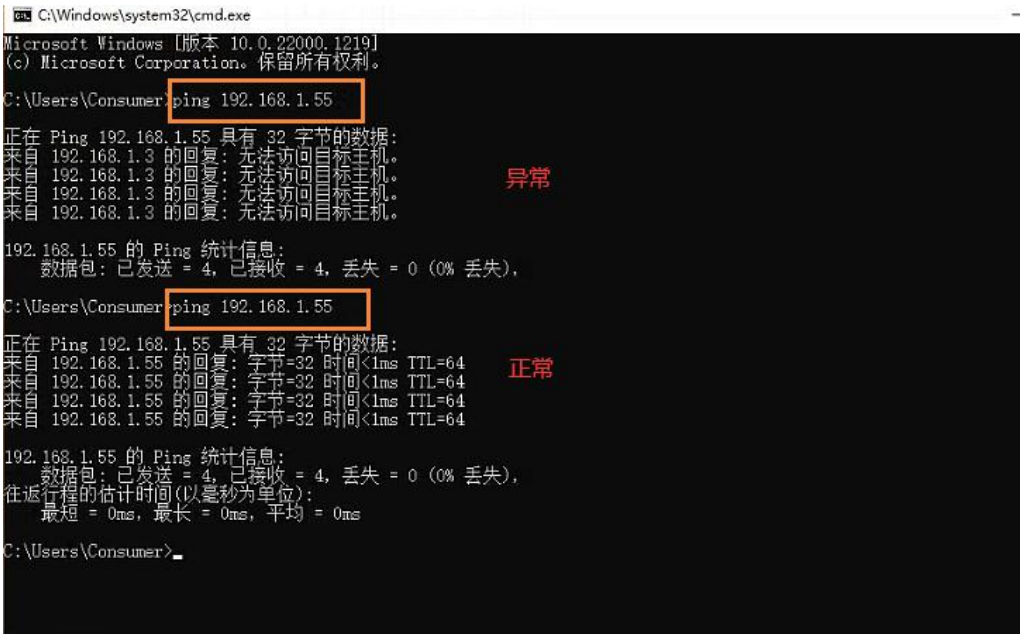
完成网络属性配置后进行尝试验证 ping 接

键盘界面选择： Win+R 操作——输入 cmd 确定——输入：ping 192.168.1.54(此处为设备 IP，需确认填写)——“回车”确认。

注意：PXIBox 设备出货前 IP 一般默认为：192.168.1.54，也可通过显示器接入界面获取。

连接如图所示：

（此处 IP 只做演示，不做具体设备使用网址。）



若 ping 接异常，请检查相关连接是否正确建立。

2.PXIBox 硬件接口描述

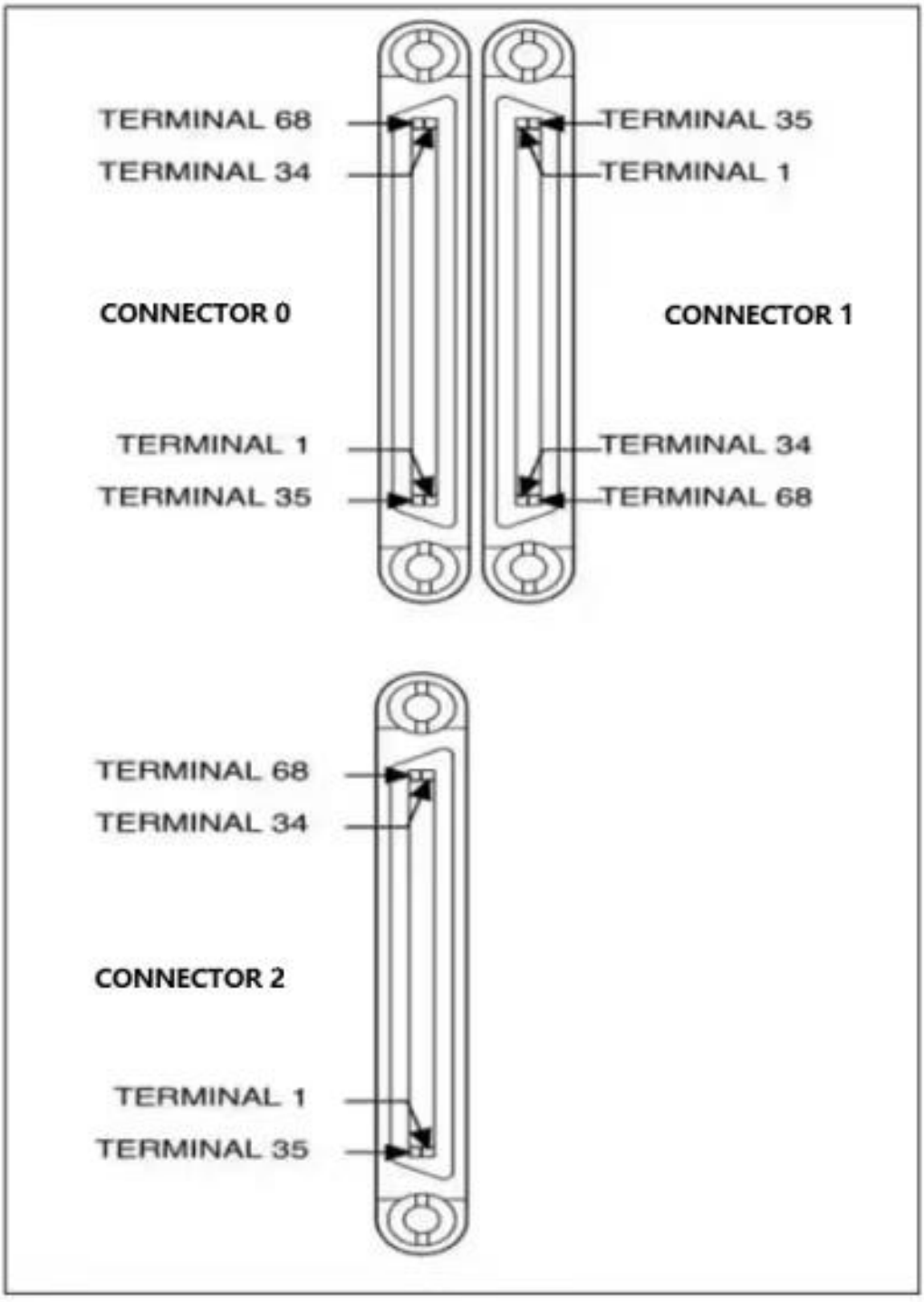
注意：在设备开机状态下不得直接做任何板卡接线，需在关闭设备后接线，再开机使用。

PXIBox 的硬件接口分别对应于 FPGA 卡 6500 做 HIL 和 FPGA 卡 6300 做 RCP，IO 卡的 6500 和 6300 接口均采用 68pin 类型的连接器，其接口映射如下：

FPGA 板卡

板卡接口均采用 3 个 68pin 针接口。分别为：Connector0，Connector1，Connector2.

Copyright © EasyGo-Tech. All Rights Reserved.



板卡的每个 Connector 接口 IO 对应如下：

Copyright © EasyGo-Tech. All Rights Reserved.

PXIe 6500 HIL 板卡

针脚定义如下所示：

Connector 0 引脚定义

功能	引脚	引脚	功能
5V	1	35	5V
DGND	2	36	DO0(E0_A)
DGND	3	37	DO1(E0_B)
DGND	4	38	DO2(E0_C)
DGND	5	39	DO3(E0_U)
DGND	6	40	DO4(E0_V)
DGND	7	41	DO5(E0_W)
DGND	8	42	DO6(E1_A)
DGND	9	43	DO7(E1_B)
DO8(E1_C)	10	44	DO9(E1_U)
DO10(E1_V)	11	45	DO11(E1_W)
DO12(E2_A)	12	46	DO13(E2_B)
DO14(E2_C)	13	47	DO15
AOGND	14	48	AO7
AOGND	15	49	AO6
AOGND	16	50	AO5
AOGND	17	51	AO4
AOGND	18	52	AO3
AOGND	19	53	AO2
AOGND	20	54	AO1
AOGND	21	55	AO0
NC	22	56	NC
7-(R2_激励	23	57	7+(R2_激励+)
AIGND	24	58	AIGND
6-(R1_激励	25	59	6+(R1_激励+)
5-(R0_激励	26	60	5+(R0_激励+)
AIGND	27	61	AIGND
AI4-	28	62	AI4+
AI3-	29	63	AI3+
AIGND	30	64	AIGND
AI2-	31	65	AI2+
AI1-	32	66	AI1+
AIGND	33	67	AIGND
AI0-	34	68	AI0+

Connector 1 引脚定义

功能	引脚	引脚	功能
5V	1	35	5V
DGND	2	36	DI32
DGND	3	37	DI33
DGND	4	38	DI34
DGND	5	39	DI35
DGND	6	40	DI36
DGND	7	41	DI37
DGND	8	42	DI38
DGND	9	43	DI39
DI40	10	44	DI41
DI42	11	45	DI43
DI44	12	46	DI45
DI46	13	47	DI47
AOGND	14	48	AO23(R2_co
AOGND	15	49	AO22(R2_sir
AOGND	16	50	AO21(R1_co
AOGND	17	51	AO20(R1_sir
AOGND	18	52	AO19(R0_co
AOGND	19	53	AO18(R0_sir
AOGND	20	54	AO17
AOGND	21	55	AO16
NC	22	56	NC
AOGND	23	57	AO15
AOGND	24	58	AOGND
AOGND	25	59	AO14
AOGND	26	60	AO13
AOGND	27	61	AOGND
AOGND	28	62	AO12
AOGND	29	63	AO11
AOGND	30	64	AOGND
AOGND	31	65	AO10
AOGND	32	66	AO9
AOGND	33	67	AOGND
AOGND	34	68	AO8

Connector 2 引脚定义

功能	引脚	引脚	功能
DI31	1	35	DI30
DGND	2	36	DGND
DI29	3	37	DI28
DGND	4	38	DGND
DI27	5	39	DI26
DGND	6	40	DGND
DI25	7	41	DI24
DGND	8	42	DGND
DI23	9	43	DI22
DGND	10	44	DGND
DI21	11	45	DI20
DGND	12	46	DGND
DI19	13	47	DI18
DGND	14	48	DGND
DI17	15	49	DI16
DGND	16	50	DGND
DI15	17	51	DI14
DGND	18	52	DGND
DI13	19	53	DI12
DGND	20	54	DGND
DI11	21	55	DI10
DGND	22	56	DGND
DI9	23	57	DI8
DGND	24	58	DGND
DI7	25	59	DI6
DGND	26	60	DGND
DI5	27	61	DI4
DGND	28	62	DGND
DI3	29	63	DI2
DGND	30	64	DGND
DI1	31	65	DI0
DGND	32	66	DGND
DGND	33	67	NC
DGND	34	68	DGND

PXIe6500 HIL 板卡

Copyright © EasyGo-Tech. All Rights Reserved.

PXIe 6300 RCP 板卡

针脚定义如下所示：

Connector 0 引脚定义

功能	引脚	引脚	功能
5V	1	35	5V
DGND	2	36	DI0(E0_A+)
DGND	3	37	DI1(E0_B+)
DGND	4	38	DI2(E0_Z+)
DGND	5	39	DI3(E0_A-)
DGND	6	40	DI4(E0_B-)
DGND	7	41	DI5(E0_Z-)
DGND	8	42	DI6(E1_A+)
DGND	9	43	DI7(E1_B+)
DI8(E1_Z+)	10	44	DI9(E1_A-)
DI10(E1_B-)	11	45	DI11(E1_Z-)
DI12(E2_A+)	12	46	DI13(E2_B+)
DI14(E2_Z+)	13	47	DI15
AOGND	14	48	AO7
AOGND	15	49	AO6
AOGND	16	50	AO5
AOGND	17	51	AO4
AOGND	18	52	AO3
AOGND	19	53	AO2
AOGND	20	54	AO1
AOGND	21	55	AO0
NC	22	56	NC
AI7-	23	57	AI7+
AIGND	24	58	AIGND
AI6-	25	59	AI6+
AI5-	26	60	AI5+
AIGND	27	61	AIGND
AI4-	28	62	AI4+
AI3-	29	63	AI3+
AIGND	30	64	AIGND
AI2-	31	65	AI2+
AI1-	32	66	AI1+
AIGND	33	67	AIGND
AI0-	34	68	AI0+

Connector 1 引脚定义

功能	引脚	引脚	功能
5V	1	35	5V
DGND	2	36	DO32
DGND	3	37	DO33
DGND	4	38	DO34
DGND	5	39	DO35
DGND	6	40	DO36
DGND	7	41	DO37
DGND	8	42	DO38
DGND	9	43	DO39
DO40	10	44	DO41
DO42	11	45	DO43
DO44	12	46	DO45
DO46	13	47	DO47
AI23-	14	48	AI23+
AI22-	15	49	AI22+
AI21-	16	50	AI21+
AI20-	17	51	AI20+
AI19-	18	52	AI19+
AI18-	19	53	AI18+
AI17-	20	54	AI17+
AI16-	21	55	AI16+
NC	22	56	NC
AI15-	23	57	AI15+
AIGND	24	58	AIGND
AI14-	25	59	AI14+
AI13-	26	60	AI13+
AIGND	27	61	AIGND
AI12-	28	62	AI12+
AI11-	29	63	AI11+
AIGND	30	64	AIGND
AI10-	31	65	AI10+
AI9-	32	66	AI9+
AIGND	33	67	AIGND
AI8-	34	68	AI8+

Connector 2 引脚定义

功能	引脚	引脚	功能
DO31	1	35	DO30
DGND	2	36	DGND
DO29	3	37	DO28
DGND	4	38	DGND
DO27	5	39	DO26
DGND	6	40	DGND
DO25	7	41	DO24
DGND	8	42	DGND
DO23	9	43	DO22
DGND	10	44	DGND
DO21	11	45	DO20
DGND	12	46	DGND
DO19	13	47	DO18
DGND	14	48	DGND
DO17	15	49	DO16
DGND	16	50	DGND
DO15	17	51	DO14
DGND	18	52	DGND
DO13	19	53	DO12
DGND	20	54	DGND
DO11	21	55	DO10
DGND	22	56	DGND
DO9	23	57	DO8
DGND	24	58	DGND
DO7	25	59	DO6
DGND	26	60	DGND
DO5	27	61	DO4
DGND	28	62	DGND
DO3	29	63	DO2
DGND	30	64	DGND
DO1	31	65	DO0
DGND	32	66	DGND
DGND	33	67	NC
DGND	34	68	DGND

Copyright © EasyGo-Tech. All Rights Reserved.



说明：PXIBox 设备 FPGA 硬件模块不为固定模块，可根据用户需求叠加不同 FPGA 模块，文档中以 6500 和 6300 板卡为例，简要概述 IO 引脚定义，相关 FPGA 硬件资料具体查询可参考《PXIBox 产品手册》，此处不在详述。

完成以上操作后，进入下一步。

FPGA 板卡接线描述

一般设备为标准配置（HIL(6500)+RCP(6300)），既 6500 为仿真侧、6300 为控制侧，两块板卡相对独立安装在 PXIe-104 机箱总线上，FPGA 板卡 PXIe-6300 规定安装在机箱第 2 卡槽，板卡 PXIe-6500 规定安装在机箱第 3 卡槽，如下图所示：



Copyright © EasyGo-Tech. All Rights Reserved.

双闭环 VHDCI68 针屏蔽线缆。（线缆共计 3 根，两端均为 VHDCI68 针公头）



根据上述硬件接口 IO 映射描述，实验双闭环测试：

FPGA 板卡上对应 CONNECTOR 0 使用上图中橙色定制屏蔽线（线内根据板卡 6500 和 6300 相应 IO 映射线序做直连转换连接），CONNECTOR 1、2 使用两根相同黑色屏蔽线缆，接口根据硬件接口 IO 描述，对 6500 和 6300 板卡接口 CONNECTOR 1、2 一 一对应连接。

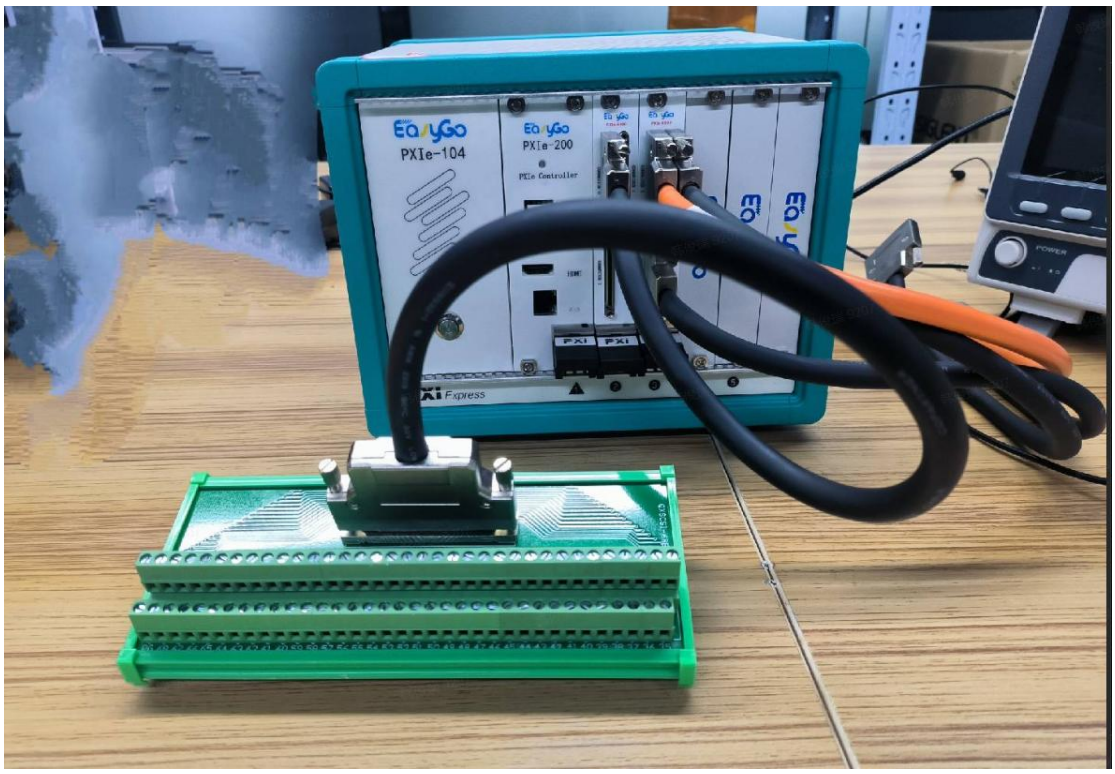
以上是实现双闭环仿真硬件接线全过程。



Copyright © EasyGo-Tech. All Rights Reserved.

配件 68 针接线盒 6 个，屏蔽线缆 VHDCI68 线缆小公头对 DB68 母头 6 根。

根据上述硬件接口 IO 映射描述，实现对 FPGA 板卡 IO 通道引出连接外部设备使用，示波器信号测试，如下图所示。（接线盒、屏蔽线缆每个都是保持一致的，无特殊线序等区分）

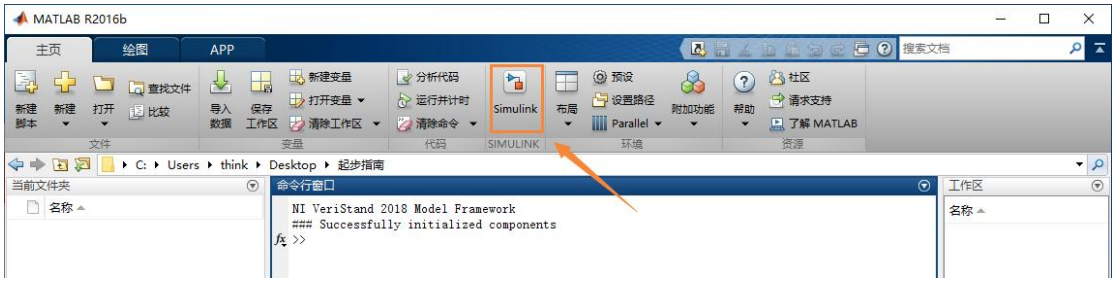


Copyright © EasyGo-Tech. All Rights Reserved.

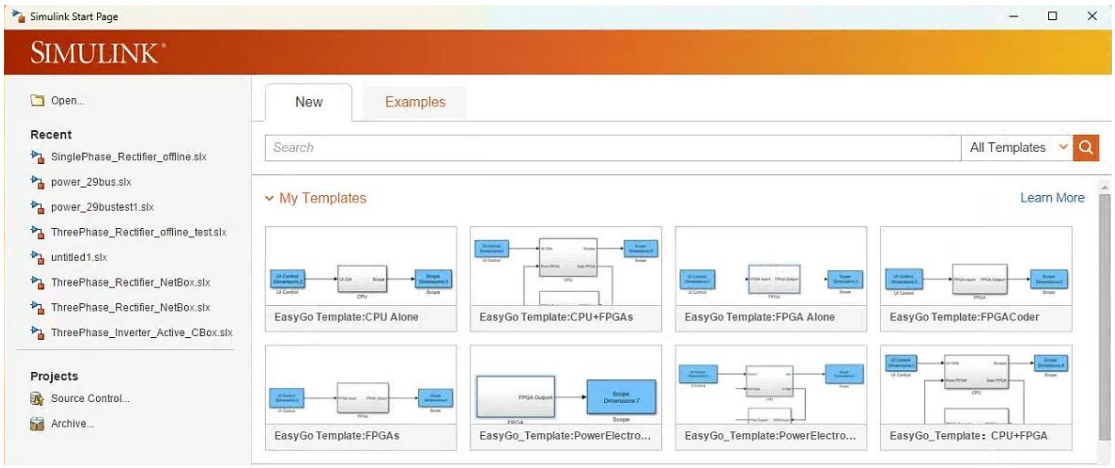
软件简介

EasyGo DeskSim 是一款配置型的软件，使用简单，同时功能强大。能实现 CPU Model 的实时运行，电力电子模型 ns 级别在 FPGA 上实时仿真运行，CPU 模型与 FPGA 联合仿真或实现 RCP 与 HIL 自闭环运行，多 FPGA 的并行仿真等多种复杂的实时仿真功能。

当我们正常安装完我们的 EasyGo DeskSim 软件后，打开 Matlab 软件，点击启动 Simulink，如下图所示：

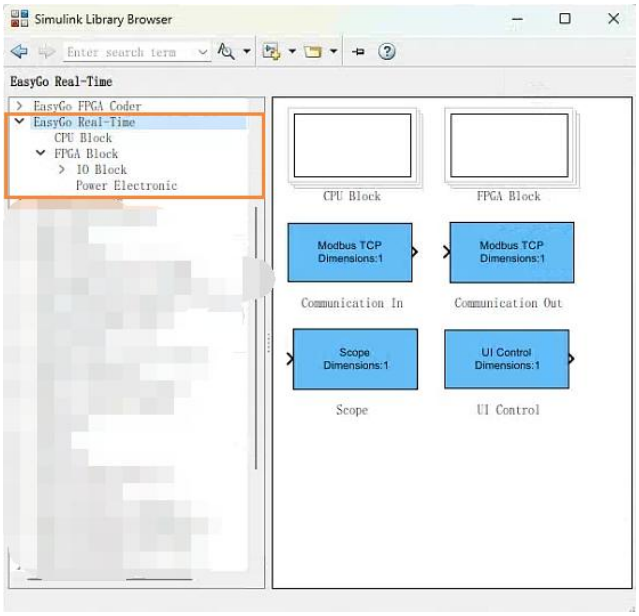


启动 Simulink 后，弹出“Simulink Start Page”， 在该页面中我们可以看到在“My Templates”目录下，会有 8 个“EasyGo Template”命名的模板文件，我们可以根据不同的需求打开不同的模板进行快速模型搭建。



同时我们打开“Simulink Library Browser”页面，在该页面中可以看到“EasyGo Real-Time”函数库，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



利用 EasyGo Real-Time 函数库和 8 个模板模型可以实现快速搭建模型，具体每个模板模型的功能用途如下：

CPU Alone	利用 EasyGo Real-Time 函数库建立仅用于 CPU 的实时模型框架
CPU + FPGA	利用 EasyGo Real-Time 函数库建立用于 CPU 和单卡 FPGA 联合的实时模型框架
CPU + FPGAs	利用 EasyGo Real-Time 函数库建立用于 CPU 和多块 FPGA 联合的实时模型框架
FPGA Alone	利用 EasyGo Real-Time 函数库建立仅用于单卡 FPGA 的实时模型框架
FPGAs	利用 EasyGo Real-Time 函数库建立仅用于多块 FPGA 联合的实时模型框架
FPGACoder	利用 EasyGo FPGA Coder 和 EasyGo Real-Time 函数库可以在 FPGA 中实现任意算法的实时模型框架
PowerElectronic+FPGACoder	利用 EasyGo FPGA Coder 和 EasyGo Real-Time 函数库可以在 FPGA 中实现任意算法和电力电子模型仿真的实时模型框架
PowerElectronic Mix Solver	利用 EasyGo Real-Time 函数库建立两种电力电子开关建模方式联合仿真的实时模型框架

Copyright © EasyGo-Tech. All Rights Reserved.

实时仿真操作流程

接下来， 利用 EasyGo DeskSim 软件进行实时仿真时，需要从离线仿真程序到使用 EasyGo DeskSim 软件进行实时运行，具体流程如下所示：

- 准备程序
- 导入程序
- 仿真配置
- 添加自定义界面
- 程序运行

我们根据实际的应用需求，选择合适的框架模型，依照操作流程进行解释说明。

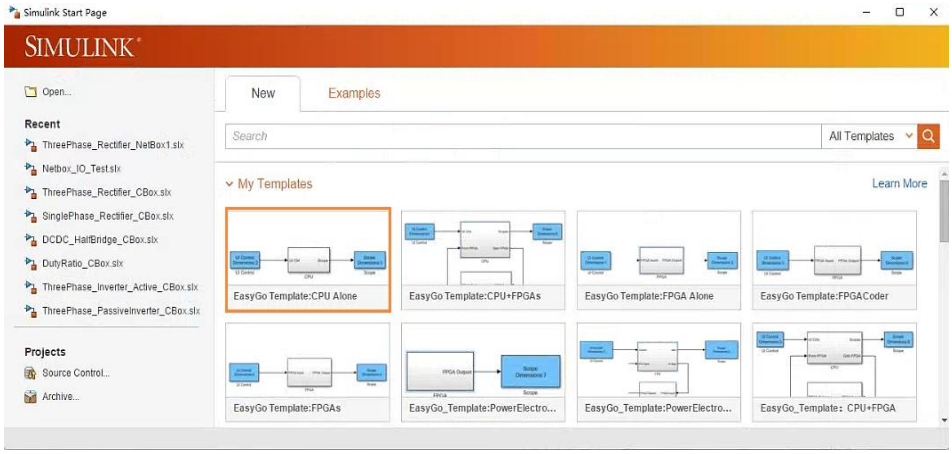
Copyright © EasyGo-Tech. All Rights Reserved.

Template 1：CPU Alone

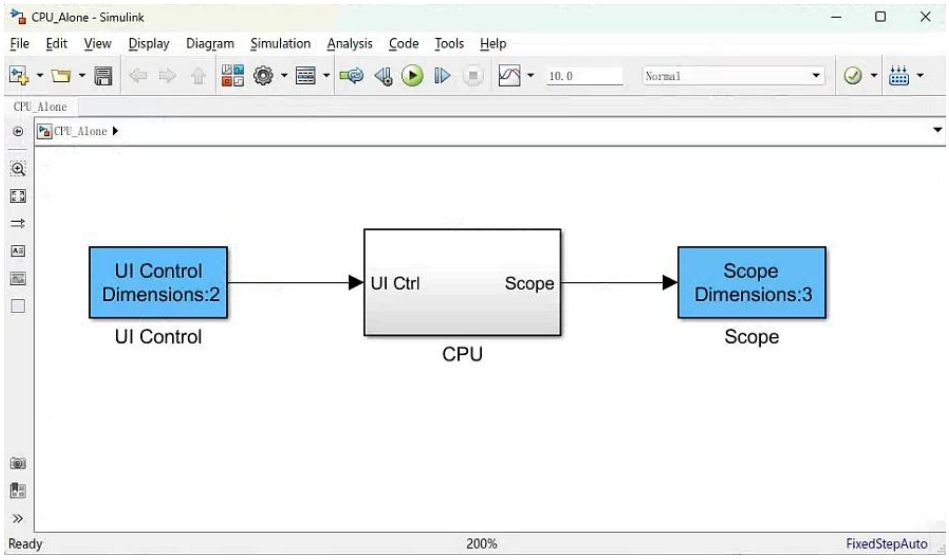
CPU Alone 模型是利用 EasyGo Real-Time 函数库建立仅用于 CPU 的实时模型框架，即在实际仿真过程中只使用 CPU 进行仿真，并将仿真结果上传至上位机观察或交互至工业通讯端口。

准备程序

打开 Matlab 软件，点击启动“Simulink”在“Simulink Start Page”界面中选择“EasyGo Template：CPU Alone”创建出 CPU Alone 的框架模型，如下图所示：



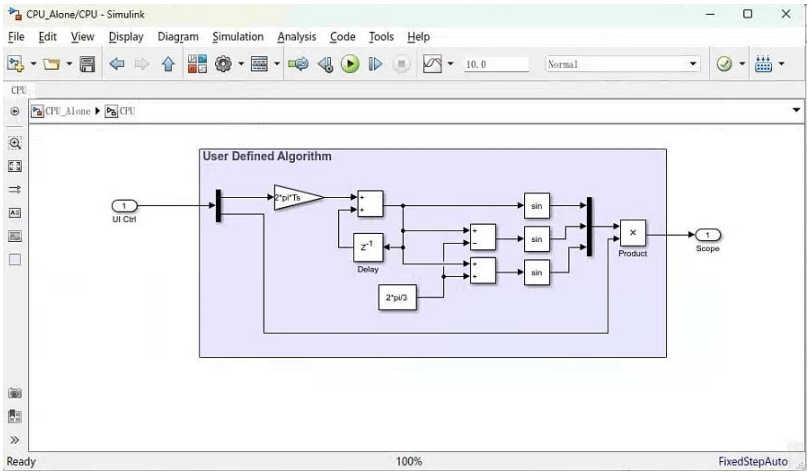
新建出来的原始模型是未保存的，将其保存成“CPU_Alone.slx”，如下图所示：



因为是纯 CPU 模型仿真程序，所以核心代码在“CPU”子系统里面，双击打

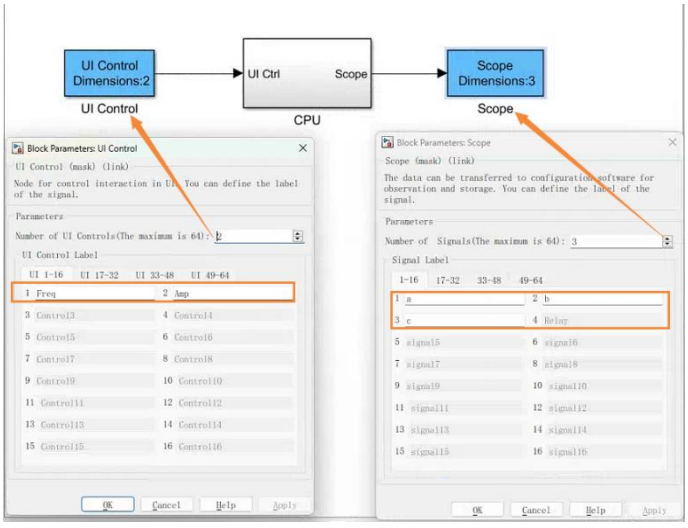
Copyright © EasyGo-Tech. All Rights Reserved.

开“CPU”子系统，如下图所示：



可以看到是一个简单的三相正弦波生成的程序，返回主程序，分别打开输入端“UI Ctrl”和输出端“Scope”的配置窗口，如下图所示：这里把所有需要在 DeskSim 软件界面控制的信号全部配置在“UI Control”模块中，把所有需要在 DeskSim 软件界面上观察的信号全部配置在“Scope”模块中，同时在接入子系统后的“UI Control”的信号根据程序的需要解绑接入程序中，将程序输出的信号根据需要按顺序捆绑在一起输出至“Scope”模块中。

注意：程序中所有与主界面交互的数据必须通过“UI Control”模块和“Scope”模块进行交互，程序中存在的其他的输入输出信号均不支持在 DeskSim 软件上进行控制或显示，且同一个程序有且最多支持一个“UI Control”模块或“Scope”模块。（通讯模块使用方式同理，详细说明可参考 EasyGo RealTime Block 帮助文档）。



由程序可知，整个程序实现的功能是：输入端、输入幅值、和频率，控制三

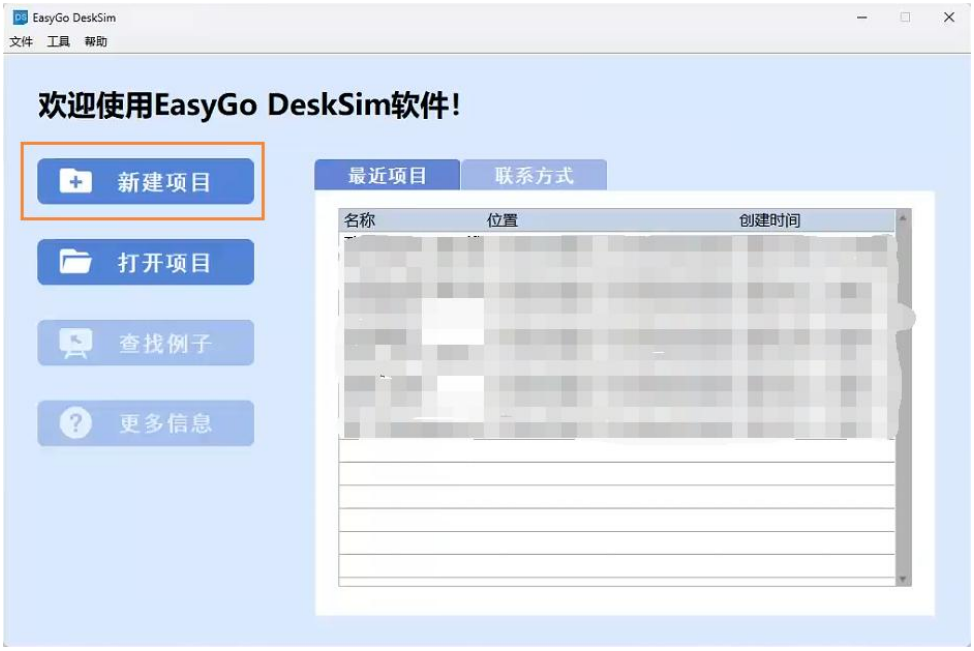
Copyright © EasyGo-Tech. All Rights Reserved.

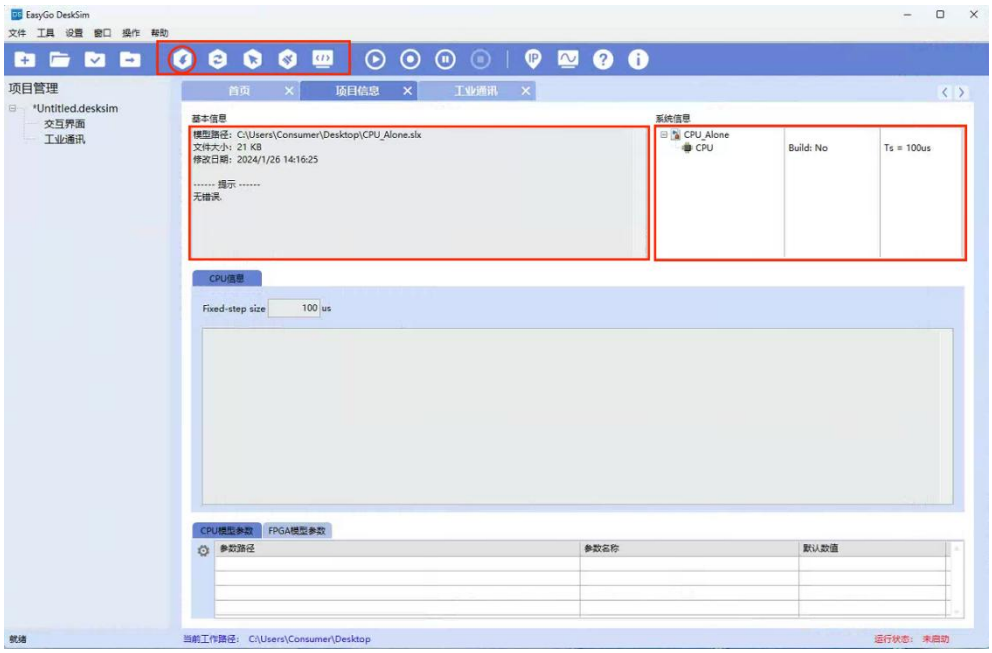
相正弦波，输出端为三相波的每个计算周期的瞬时值。

注：用户可以根据自己的 CPU 上的算法修改“CPU”子系统中的代码，以及对应修改输入输出端口的信号名称及数量。

导入程序

启动 EasyGo DeskSim 软件，在初始界面点击新建项目，新建工程文件后，再在工具栏界面中点击“载入模型”按钮载入程序文件；





载入文件后，软件会分析得到程序的基本信息。

Copyright © EasyGo-Tech. All Rights Reserved.

注意：

◆如果模型中存在错误，用户需要把错误信息全部处理掉，才能进行实时运行；

◆如果需要修改或者打开模型文件，可以点击“编辑模型”按钮打开模型文件进行修改或查看；

◆如果用户载入的模型文件发生了修改，在界面中可以点击“刷新模型”按钮进行更新。

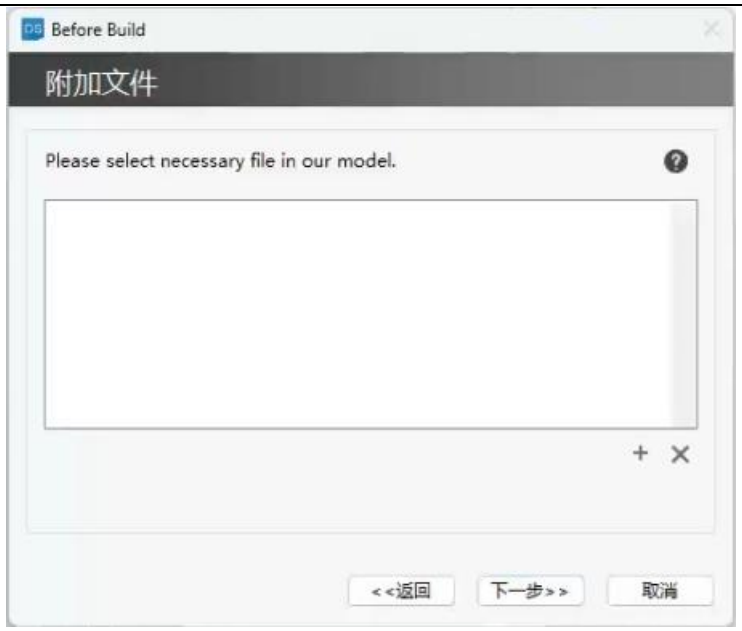
仿真配置

针对 CPU 模型，需要对 CPU 模型进行编译操作，如下图所示，先设置程序运行的步长，如 100us，即 10k 的控制频率；



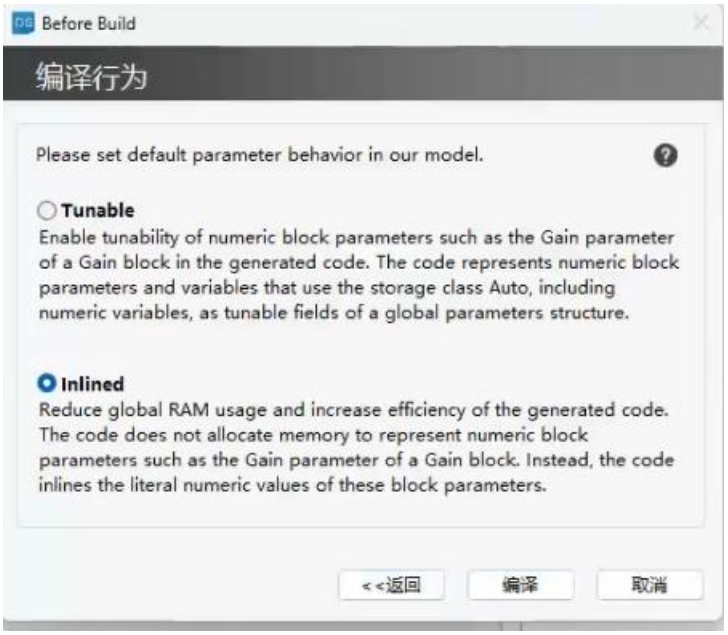
步长设置完成后，开始编译 CPU 模型，点击界面上的“编译模型”按钮，会弹出 Before Build 窗口，供用户对实际的编译操作进行与配置。点击“下一步>>”进入下一步配置，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



在“附加文件”页面中，用户可以添加在模型初始化过程中需要用到的文件，便于程序自动检测文件中所设置的变量；用户可通过右下角的添加或删除按钮进行操作。

由于使用的 CPU 模型比较简单，没有用到相关的文件，所以跳过这一步，点击“下一步>>”进入下一步配置，如下图所示：



在“编译行为”页面中，用户可以设置是否支持在线调参功能：

◆ Tunable：可调模式，是指程序中的一些常量或者增益的值是可以在线实时调整的，这个模式下程序运行时间会较长，效率较低。

Copyright © EasyGo-Tech. All Rights Reserved.

◆ Inline：不可调模式，是指程序中的一些常量或者增益的值是不可以在线实时调整的，这个模式下程序运行时间会较短，效率更高。

由于使用的 CPU 模型比较简单，我们直接选择“Inline”模式，点击“编译”按钮，进入模型编译操作，如下图所示：该过程会持续几分钟时间（具体与模型的复杂程度有关）；



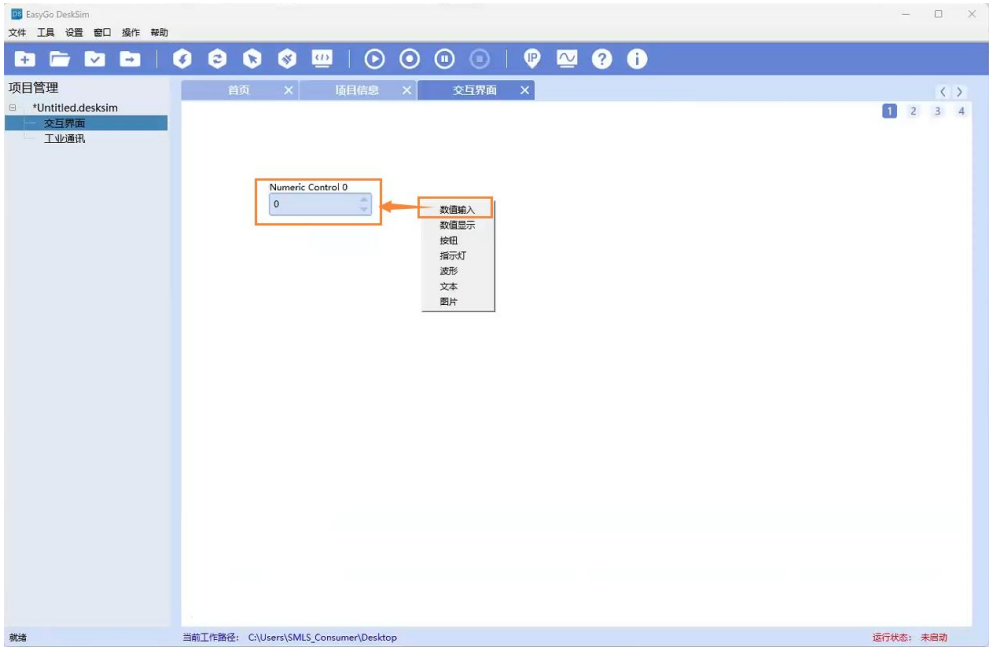
编译完成后，会提示编译结果“编译成功”，如下图所示：



添加自定义界面

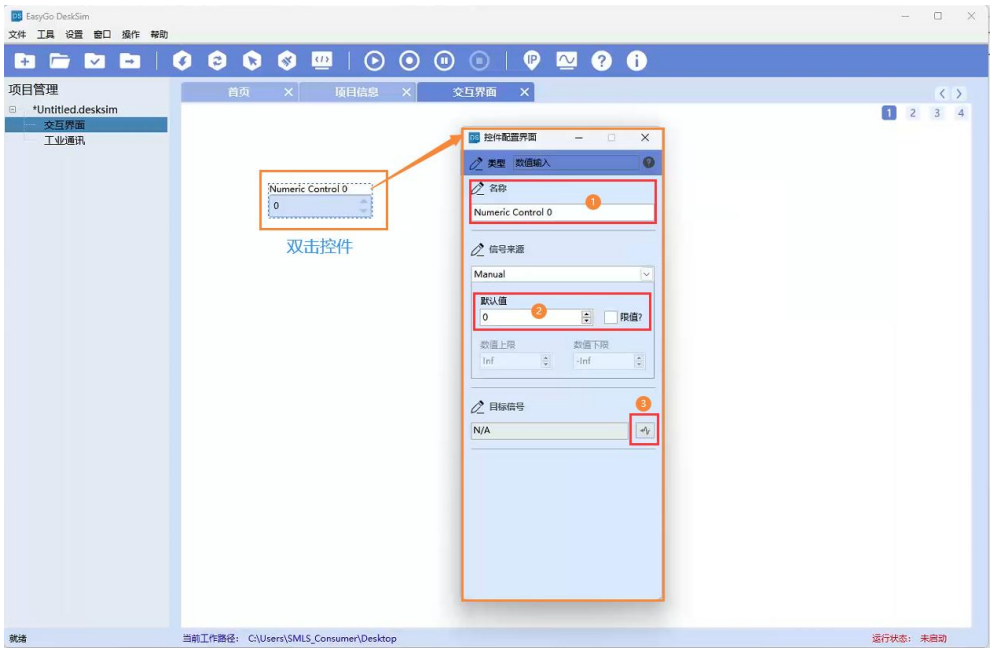
添加 UI 界面的控制输入

DeskSim 主界面切换至交互界面，在界面中单击右键，会弹出控件菜单，点击“数值输入”，并在空白编辑区域选择合适位置释放，即完成一个 Numeric Control 控件的添加，如下图所示：

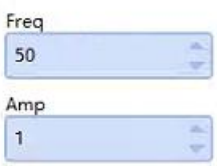


Copyright © EasyGo-Tech. All Rights Reserved.

添加完成之后，点击选中这个控件，会弹出控件配置界面，显示这个控件的配置内容，可选择信号绑定的对象（程序的所有输入端），修改名称和初始默认值；点击信号选择按钮，在弹出的信号列表中选择需要绑定的信号，如“Freq”，选中后，控件名称会同步更新为信号名称，用户可以使用信号名称或手动修改名称，设置完成后，对设置初始参数为“50”，如下图所示：



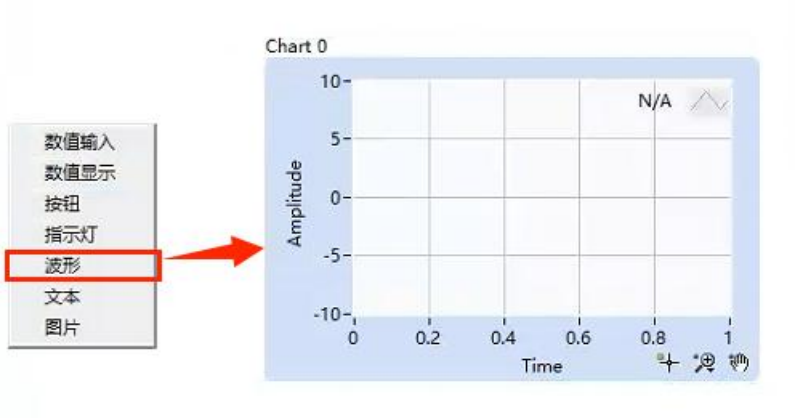
同样的方式，将程序的两个输入端口都绑定到界面的控件之后可以得到：



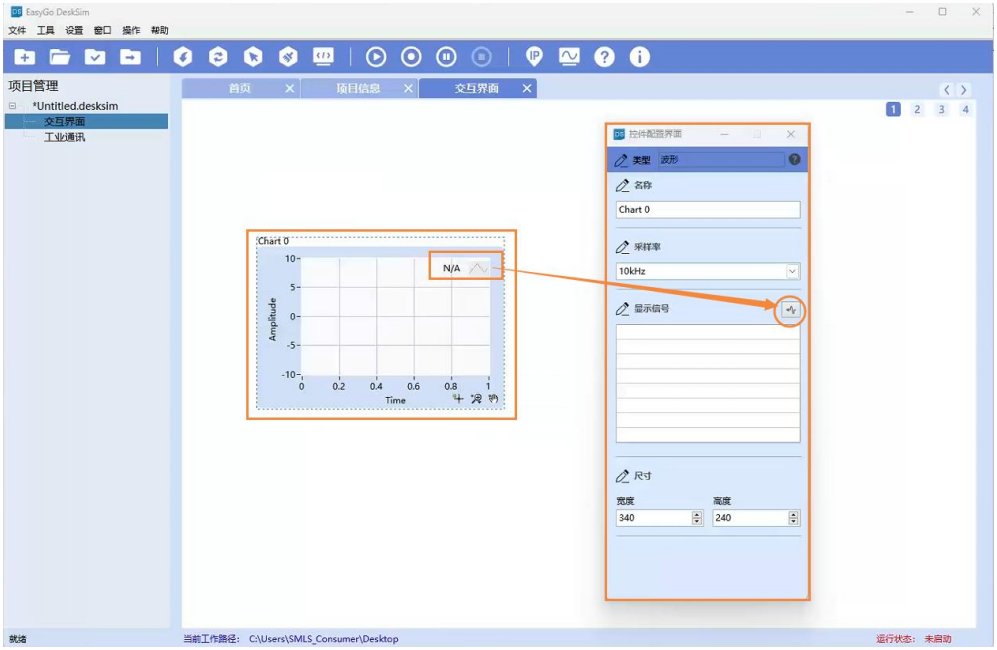
添加 UI 界面的波形显示

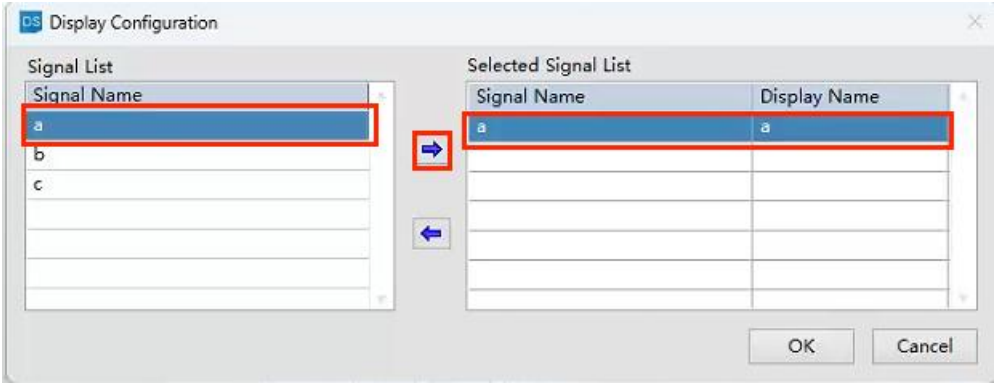
在交互界面的空白位置右键调出控件选板，左键点击“波形”，并将其在空白编辑区域释放，即完成一个 Chart 控件的添加，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



选中 Chart 控件，在显示的配置区域中可以选中提那就显示的信号源（程序的所有输出信号均可显示）。



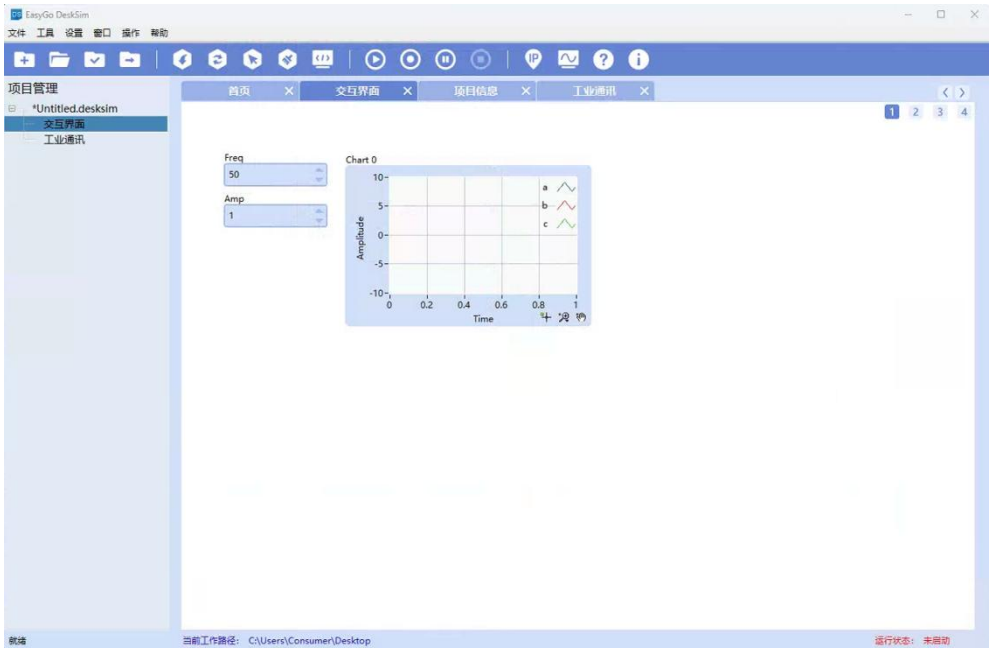


并可以修改 Chart 的名称、采样率和大小。

Copyright © EasyGo-Tech. All Rights Reserved.



配置完成后，可以得到最终的自定义界面，如下图所示：



程序运行

配置仿真机的网络信息

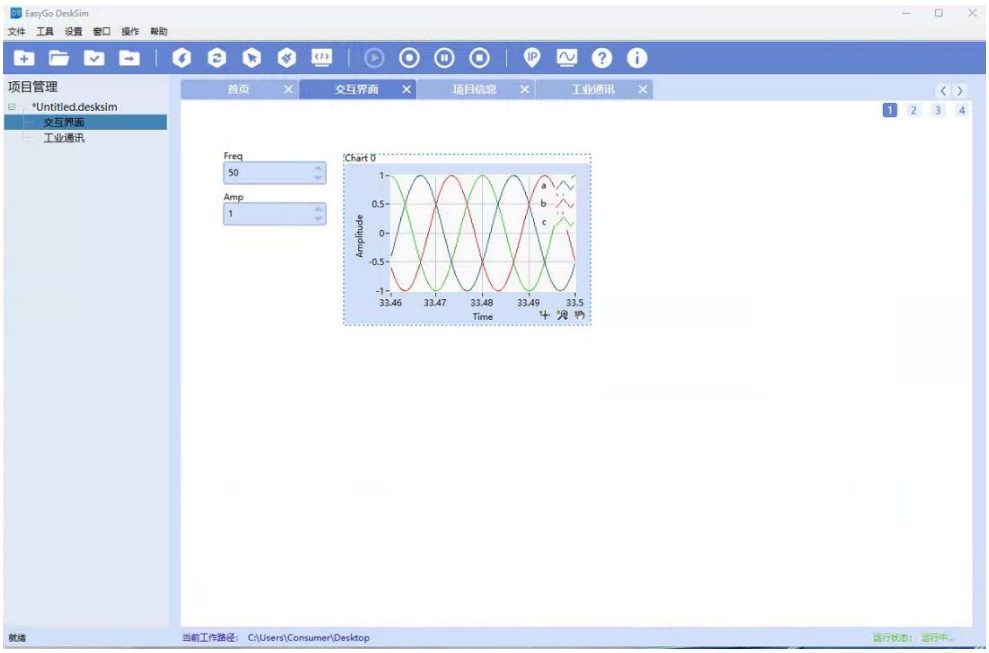
点击 DeskSim 软件工具栏的按钮，即可打开仿真机的网络配置窗口，设置好 IP 地址、端口号等信息。

Copyright © EasyGo-Tech. All Rights Reserved.



运行程序

点击软件工具栏的按钮即可运行程序。

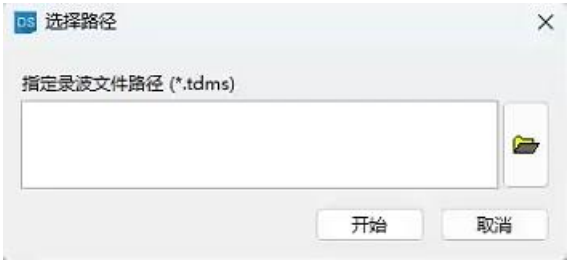


可以实时调整波形的幅值和频率来观察实际波形的变化情况。具体现象不再详述。同时运行过程中还可以动态修改附加区中 CPU Model Parameter 的参数，具体参考 EasyGo DeskSim 软件的帮助文档中的相关说明，由于模型比较简单，所以没有使用动态修改参数功能。

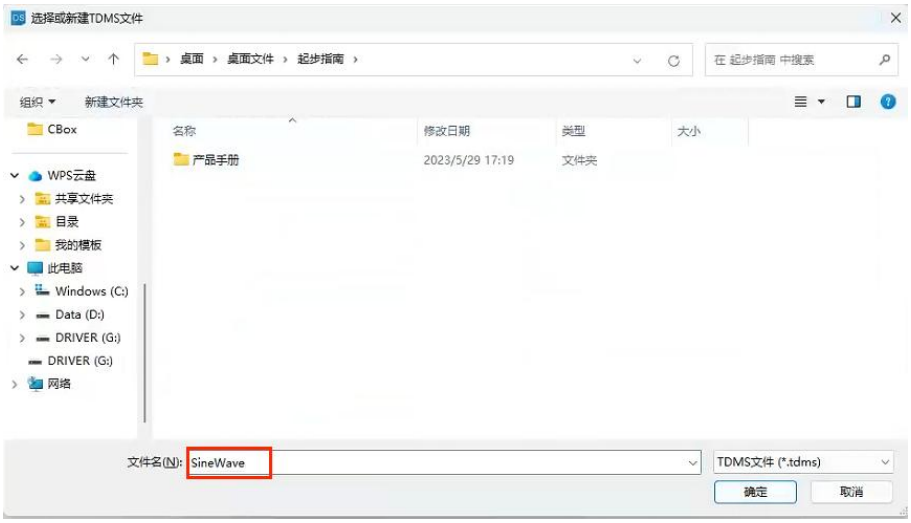
波形录制

点击软件工具栏的按钮，弹出录制波形配置界面，如下图所示：

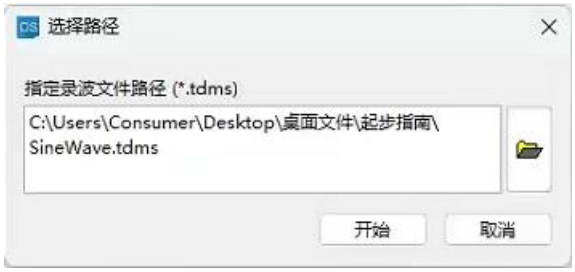
Copyright © EasyGo-Tech. All Rights Reserved.



点击路径配置按钮，弹出路径选择对话框，选好存储路径后，配置好波形文件的名称，如下图所示：



点击“确定”按钮完成配置，此时录制波形配置界面配置完成，如下图所示：



点击“开始”按钮，录波功能正式启动，此时我们可以看到界面上的波形录制按钮变成闪烁红色，如下图所示：



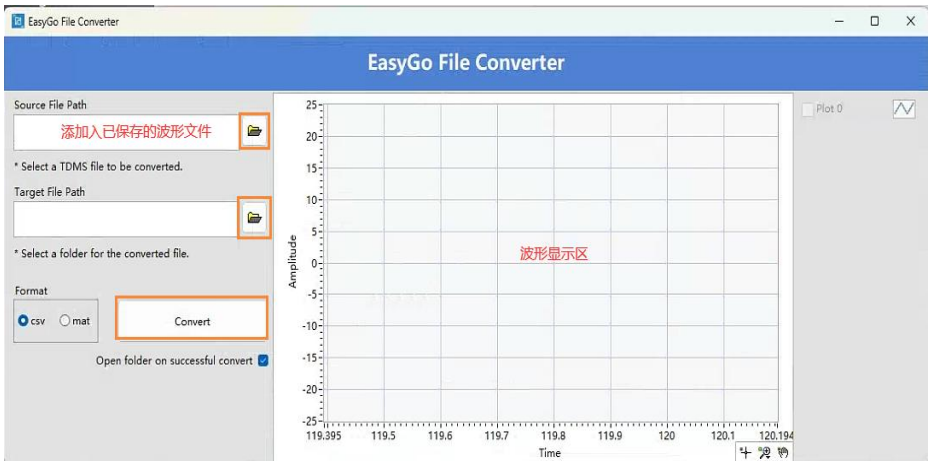
在这个录波状态下，程序运行过程中，模型文件中 Scope 模块配置的所有的有效信号均会实时记录下来。

波形查看

完成波形录制后，在 DeskSim 软件界面工具栏中，找到工具按键，点击后打开选择“文件转换器”选项，在“Source File Path”框中右侧，鼠标左击打开

Copyright © EasyGo-Tech. All Rights Reserved.

文件添加功能，将已保存的录波文件添加入对话框中，即可查看实时波形数据，如下图所示：



注：录制的波形文件为*.tdms 格式的，具体如何查看波形文件以及波形文件格式转换，请参考 EasyGo DeskSim 的帮助文档中的工具箱说明部分。波形的录制时间控制在大约 2-3 分钟左右，以便观察波形实时变化结果，否则会导致文件过大，内存不足。

暂停程序

点击软件工具栏的按钮即可随时暂停程序。暂停后，可以看到界面上的暂停按钮变成红色的，如下图所示：



注意：

◆ 暂停功能只是暂停主界面的波形更新或数值显示控件的数据更新，便于用户查看暂停瞬时前的一段时间的数据或波形；

◆ 暂停功能对实时仿真机中的程序不影响；

◆ 暂停功能对波形录制也不影响，上下位机的数据交互始终没有间断；

停止程序

点击软件工具栏的按钮即可停止程序。

保存项目文件

全部运行完成后，为了便于下一次打开直接使用，可以对上述所有的配置操作进行保存管理，保存成 DeskSim 软件专属的项目文件（*.desksim）。

Copyright © EasyGo-Tech. All Rights Reserved.

点击工具栏中的保存按钮，选择路径，修改名称，即可完成保存。下次打开时，可以点击软件工具栏中的打开按钮，载入以前保存的项目文件，或者直接双击项目文件，直接打开软件并载入项目文件。

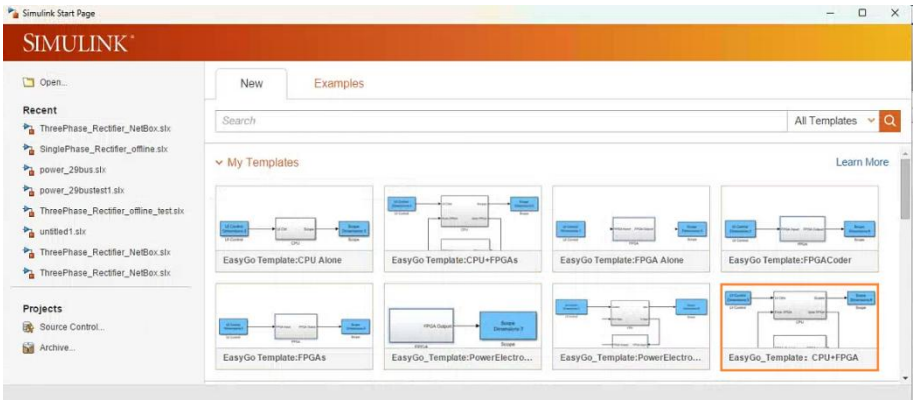
Copyright © EasyGo-Tech. All Rights Reserved.

Template 2：CPU + FPGA

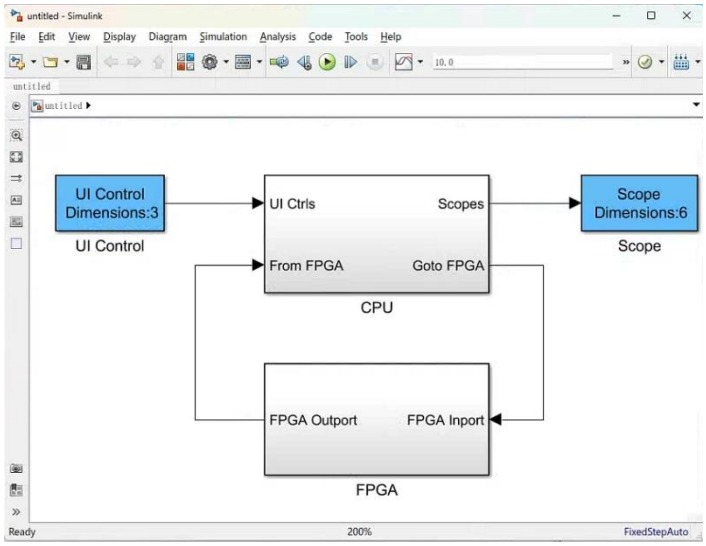
CPU + FPGA 模型是利用 EasyGo Real-Time 函数库建立用于 CPU 和单卡 FPGA 联合仿真的实时模型框架，即在实际仿真过程中使用 CPU 和单卡 FPGA 进行仿真，并将仿真结果上传至上位机观察或交互至工业通讯端口。

准备程序

打开 Matlab 软件，点击启动 Simulink，在“Simulink Start Page”界面中点击“EasyGo Template：CPU + FPGA”创建出 CPU + FPGA 的框架模型，如下图所示：



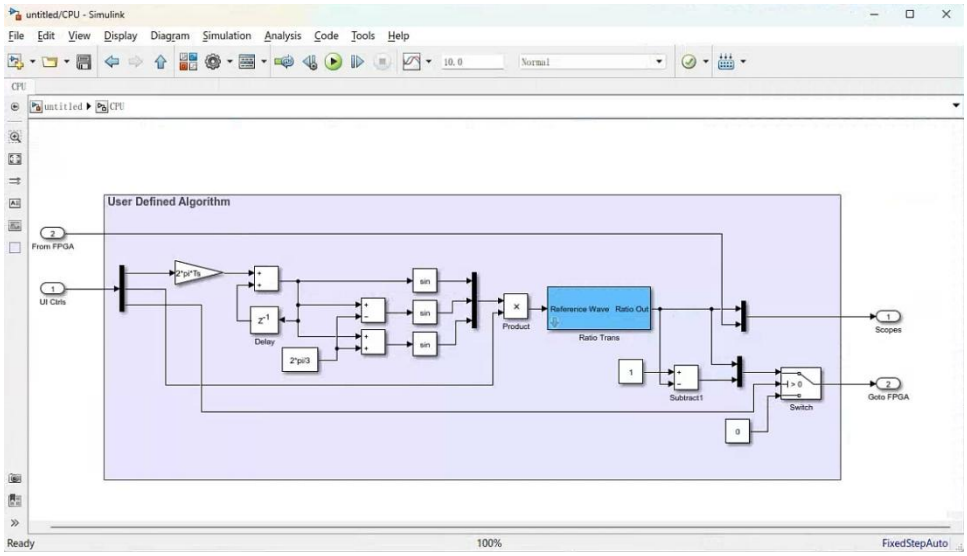
新建出来的原始模型是未保存的，将其保存成“CPU_and_FPGA.slx”，如下图所示：



Copyright © EasyGo-Tech. All Rights Reserved.

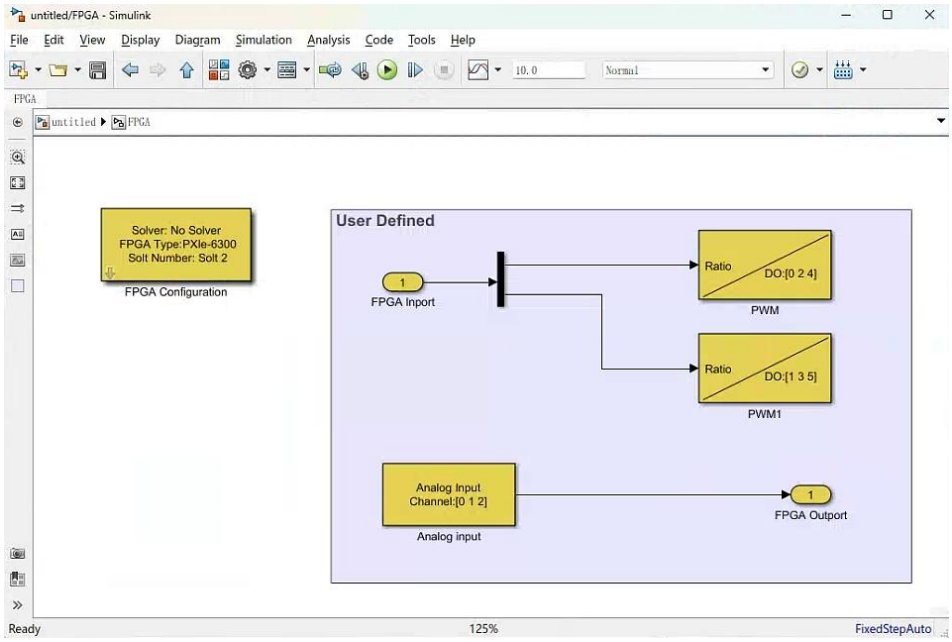
由于是 CPU + FPGA 联合仿真模型仿真程序，所以核心代码在“CPU”子系统和 FPGA 子系统里面。

双击打开“CPU”子系统，如下图所示：



在“CPU”子系统中可以看到是一个简单的三相正弦波参考波生成的程序，同时附带上传部分 FPGA 数据。

双击打开“FPGA”子系统，如下图所示：



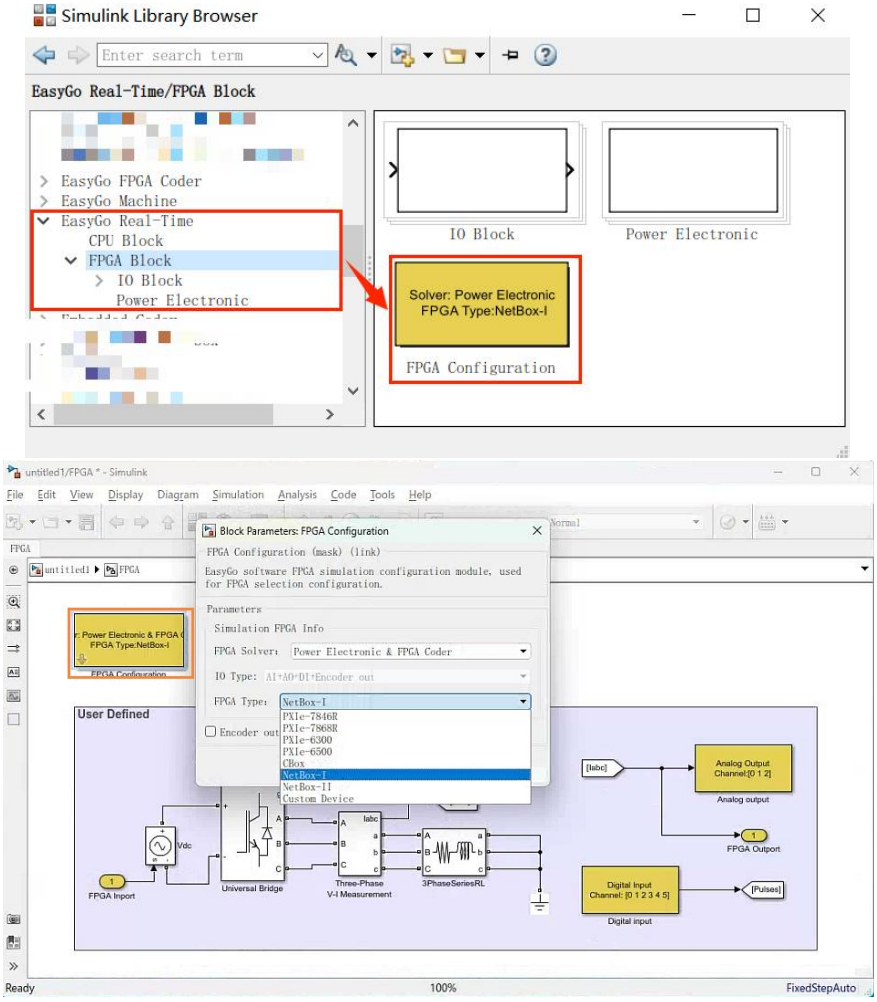
在“FPGA”子系统中可以看到 FPGA 程序接收到参考波后生成 PWM 波的程序，同时附带三路模拟信号采集（部分模块的详细说明可参考 EasyGo RealTime Block 帮助文档）。

Copyright © EasyGo-Tech. All Rights Reserved.

注意：

◆ FPGA 子系统中一个 FPGA 主程序只能在一个 FPGA 板卡上运行，如果 FPGA 程序比较复杂需要用到多块 FPGA 板卡时，可以参考“CPU + FPGAs”或“FPGAs”起步说明。

◆ 每一个 FPGA 板卡都必须配有一个“FPGA Configuration”模块，如下图所示，在该模块中用户需要根据自己实际的硬件信息及 FPGA 算法的用途进行配置，详细说明可参考 EasyGo RealTime Block 帮助文档。

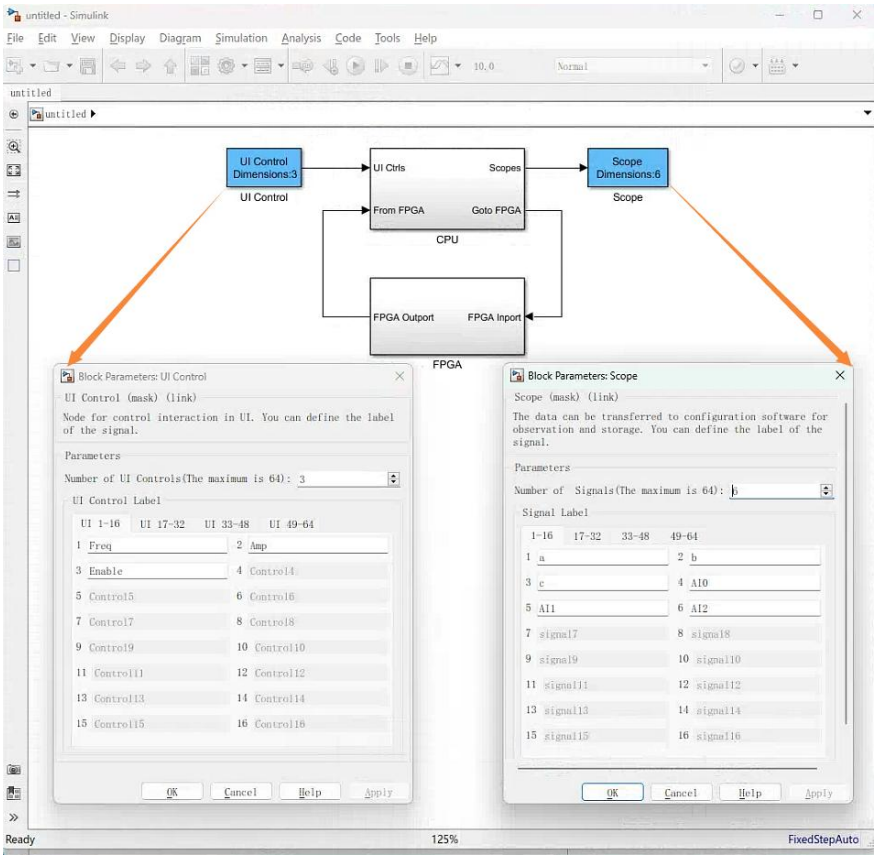


返回主程序，分别打开输入端“UI Ctrl”和输出端“Scope”的配置窗口，如下图所示：这里把所有需要在 DeskSim 软件界面控制的信号全部配置在“UI Control”模块中，把所有需要在 DeskSim 软件界面上观察的信号全部配置在“Scope”模块中，同时在连入子系统后的“UI Control”的信号根据程序的需要解绑连入程序中，将程序输出的信号根据需要按顺序捆绑在一起输出至“Scope”模块中。

注意：程序中所有与主界面交互的数据必须通过“UI Control”模块和“Scope”模块

Copyright © EasyGo-Tech. All Rights Reserved.

进行交互，程序中存在的其他的输入输出信号均不支持在 DeskSim 软件上进行控制或显示，且同一个程序有且最多支持一个“UI Control”模块或“Scope”模块。（通讯模块使用方式同理，详细说明可参考 EasyGo RealTime Block 帮助文档）。



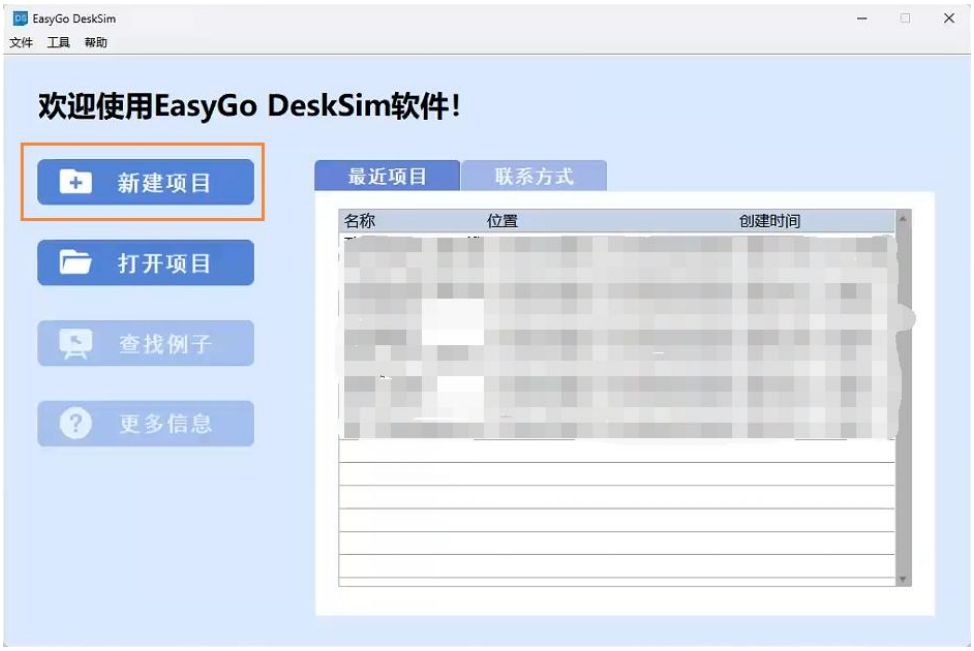
由此可知，整个程序实现的功能是输入端输入幅值、频率及参考波的使能信号，控制三相正弦波参考波，输出端为参考波的每个计算周期的瞬时值及 FPGA 采集到的 AI 信号。

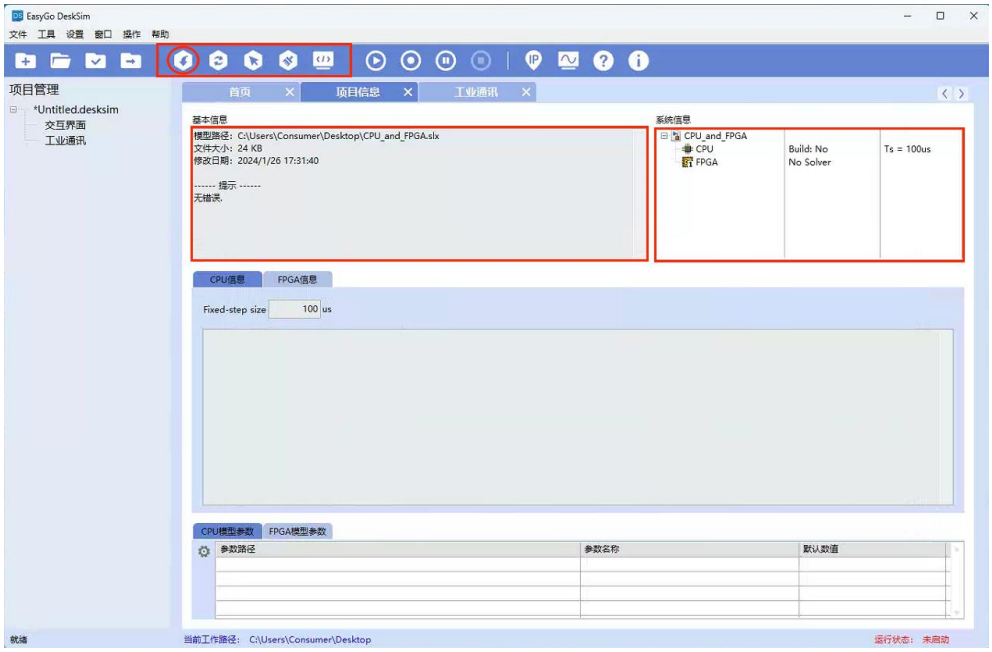
注：用户可以根据自己的 CPU 和 FPGA 上的算法修改“CPU”子系统和“FPGA”子系统中的代码，以及对应修改输入输出端口的信号名称及数量。

导入程序

启动 EasyGo DeskSim 软件，在初始界面点击新建项目，新建工程文件后，再在工具栏界面中点击“载入模型”按钮载入程序文件；

Copyright © EasyGo-Tech. All Rights Reserved.





载入文件后，软件会分析得到程序的基本信息。

注意：

◆如果模型中存在错误，用户需要把错误信息全部处理掉，才能进行实时运行；

◆如果需要修改或者打开模型文件，可以点击“编辑模型”按钮打开模型文件进行修改或查看；

◆如果用户载入的模型文件发生了修改，在界面中可以点击“刷新模型”按钮进行更新。

Copyright © EasyGo-Tech. All Rights Reserved.

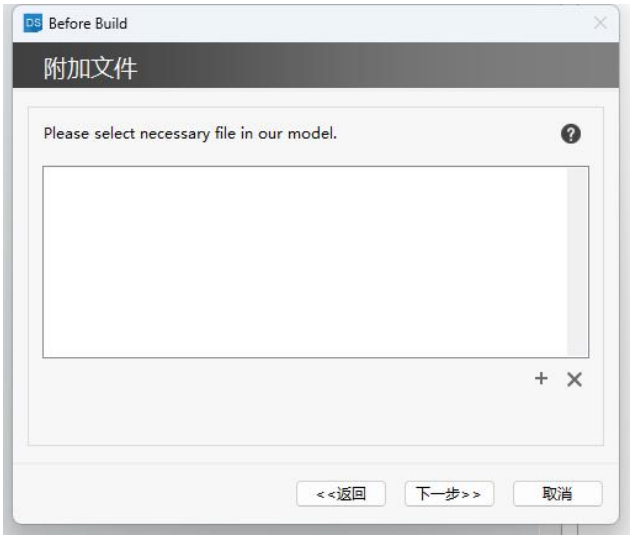
仿真配置

CPU 模型编译

针对 CPU 模型，需要对 CPU 模型进行编译操作，如下图所示，先设置程序运行的步长，如 100us，即 10k 的控制频率；



步长设置完成后，开始编译 CPU 模型，点击界面上的“编译模型”按钮，会弹出 Before Build 窗口，供用户对实际的编译操作进行与配置。点击“下一步>>”进入下一步配置，如下图所示：

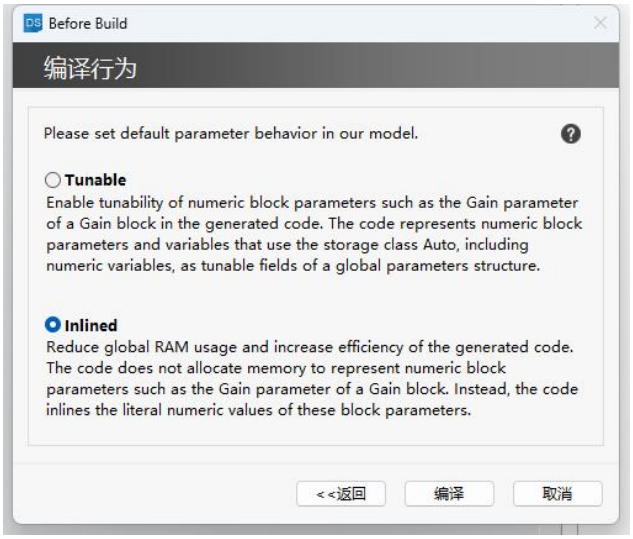


在“附加文件”页面中，用户可以添加在模型初始化过程中需要用到的文件，便于程序自动检测文件中所设置的变量；用户可通过右下角的添加或删除按钮进

Copyright © EasyGo-Tech. All Rights Reserved.

行操作。

由于使用的 CPU 模型比较简单，没有用到相关的文件，所以跳过这一步，点击“下一步>>”进入下一步配置，如下图所示：



在“编译行为”页面中，用户可以设置是否支持在线调参功能：

- Tunable：可调模式，是指程序中的一些常量或者增益的值是可以在线实时调整的，这个模式下程序运行时间会较长，效率较低。
- Inline：不可调模式，是指程序中的一些常量或者增益的值是不可以在线实时调整的，这个模式下程序运行时间会较短，效率更高。

由于使用的 CPU 模型比较简单，直接选择“Inline”模式，点击“Build”按钮，进入模型编译操作，如下图所示：该过程会持续几分钟时间（具体与模型的复杂程度有关）；



编译完成后，会提示编译结果“编译成功”，如下图所示：



FPGA 模型初始化

对于使用了 FPGA 模型的程序，在 FPGA 模型为电力电子算法模型时，用户可根据实际需要对电力电子算法模型的初始状态进行处理，对于现在的 FPGA 模型

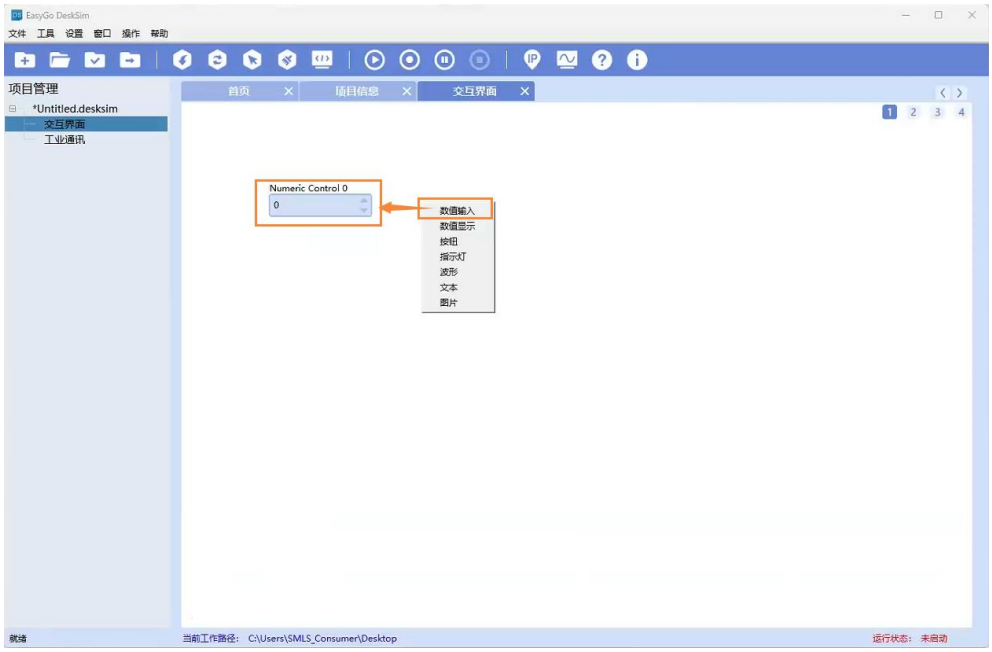
Copyright © EasyGo-Tech. All Rights Reserved.

较为简单，且没有使用电力电子算法模型，所以此处略。

添加自定义界面

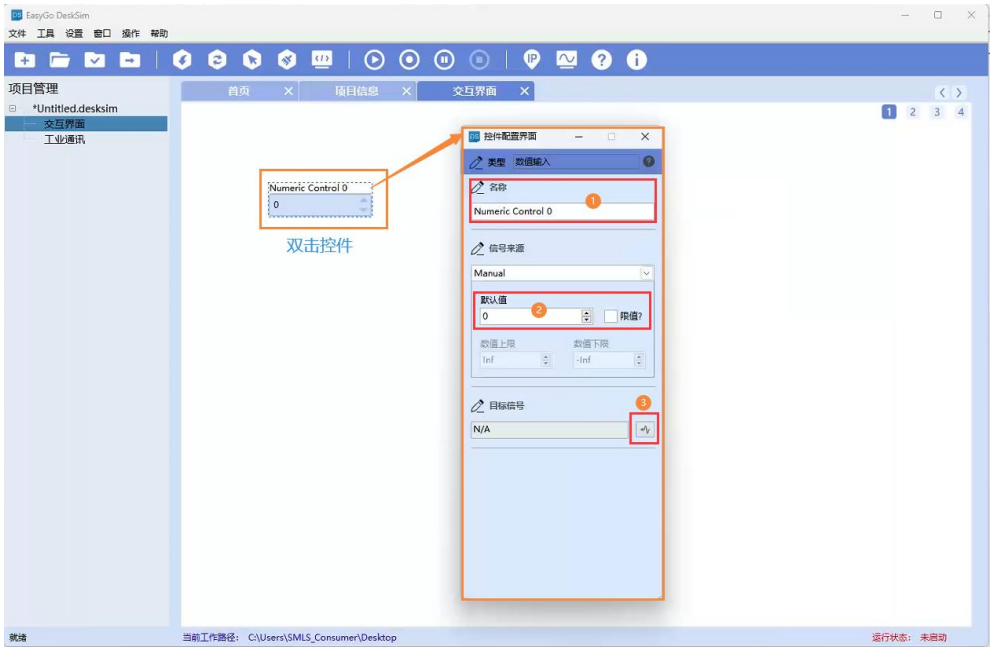
添加 UI 界面的控制输入

DeskSim 主界面切换至交互界面，在界面中单击右键，会弹出控件菜单，点击“数值输入”，并在空白编辑区域选择合适位置释放，即完成一个 Numeric Control 控件的添加，如下图所示：

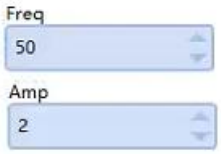


添加完成之后，点击选中这个控件，会弹出控件配置界面，显示这个控件的配置内容，可选择信号绑定的对象（程序的所有输入端），修改名称和初始默认值；点击信号选择按钮，在弹出的信号列表中选择需要绑定的信号，如“Freq”，选中后，控件名称会同步更新为信号名称，用户可以使用信号名称或手动修改名称，设置完成后，对设置初始参数为“50”，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.

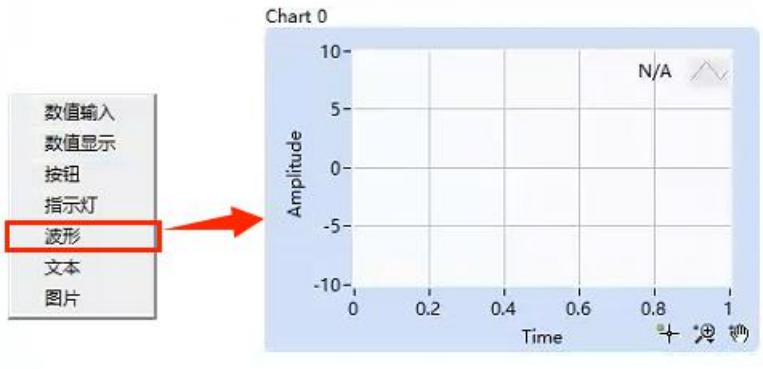


同样的方式，将程序的两个输入端口都绑定到界面的控件之后可以得到：



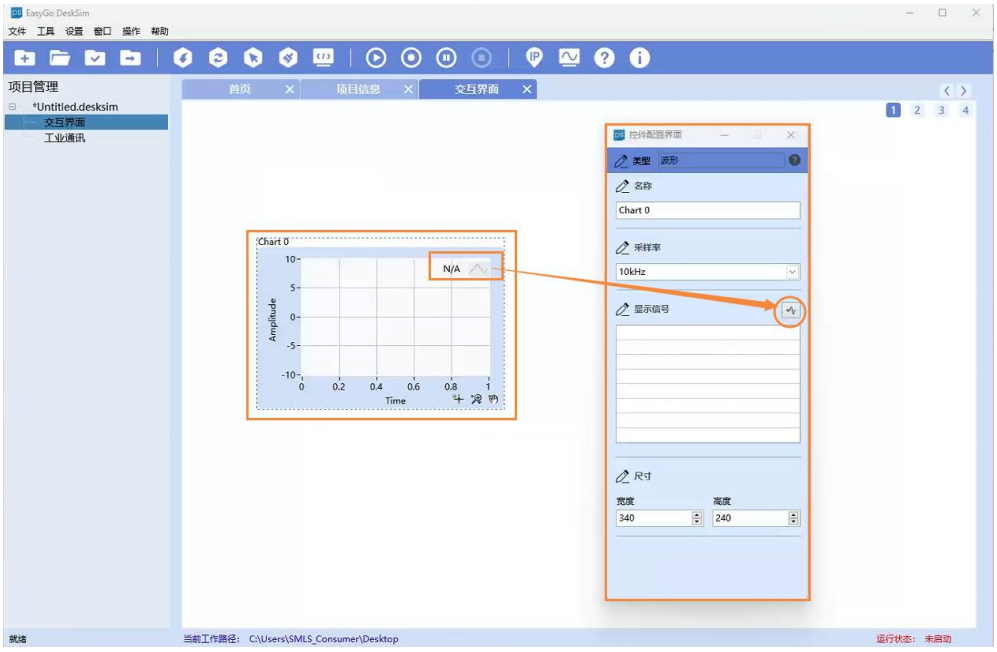
添加 UI 界面的波形显示

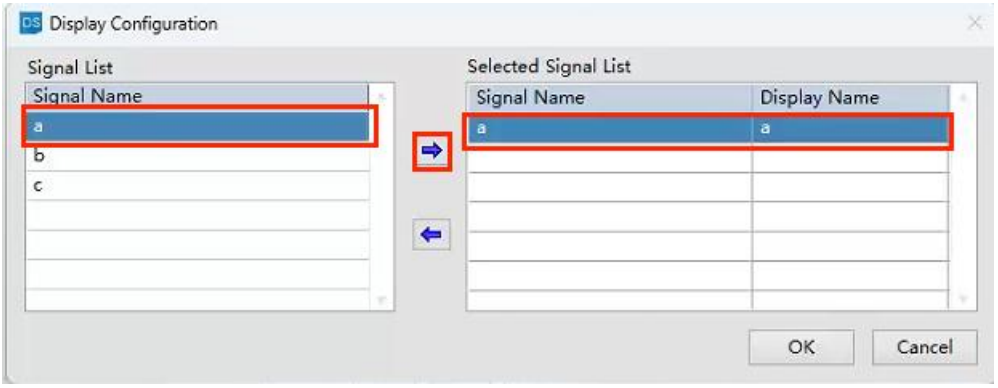
在交互界面的空白位置右键调出控件选板，左键点击“波形”，并将其在空白编辑区域释放，即完成一个 Chart 控件的添加，如下图所示：



选中 Chart 控件，在显示的配置区域中可以选中提那就显示的信号源（程序的所有输出信号均可显示）。

Copyright © EasyGo-Tech. All Rights Reserved.





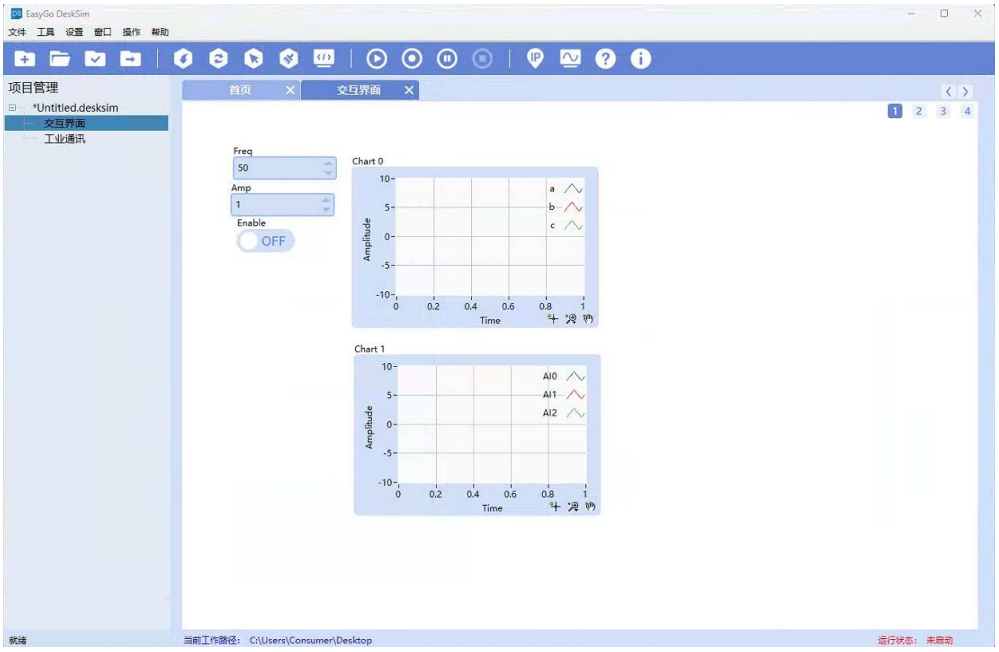
并可以修改 Chart 的名称、采样率和大小。



同样的方式，添加三路 AI 的波形显示。

配置完成后，可以得到最终的自定义界面，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



程序运行

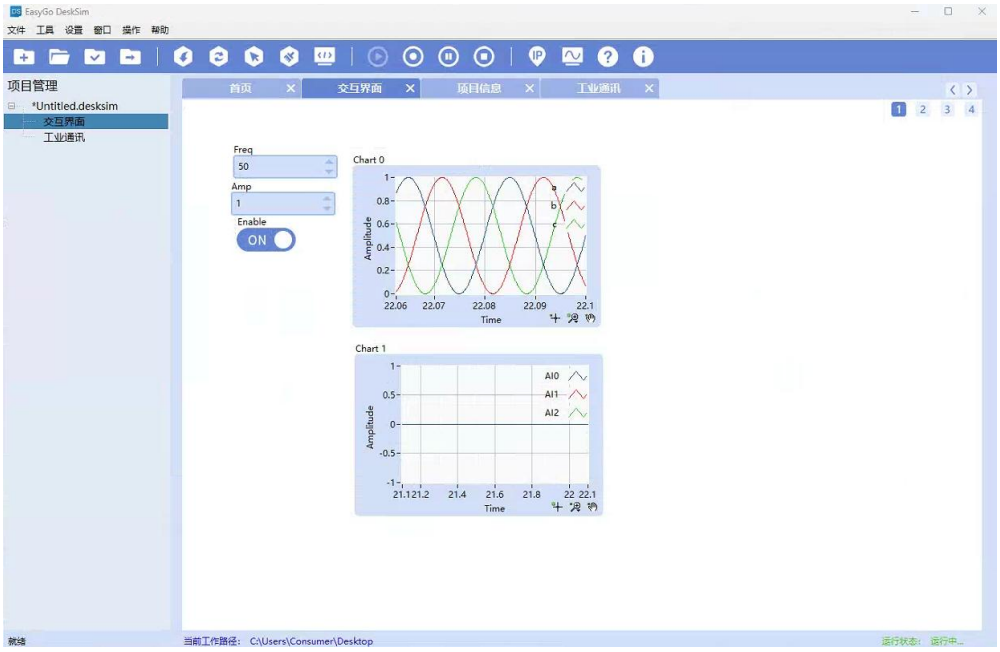
配置仿真机的网络信息

点击 DeskSim 软件工具栏的按钮，即可打开仿真机的网络配置窗口，设置好 IP 地址、端口号等信息。



点击软件工具栏的按钮即可运行程序。

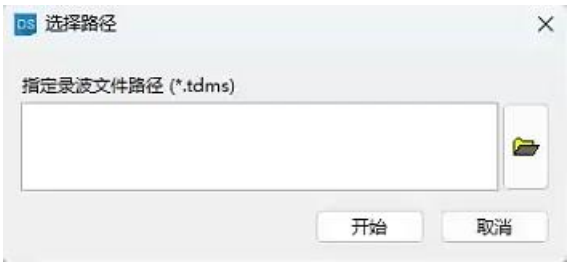
Copyright © EasyGo-Tech. All Rights Reserved.



可以实时调整波形的幅值和频率来观察实际波形的变化情况。由于实际的 AI 通道是悬空的，所以采集到的信号均为 0V，可以外接信号来观察采集信号是否正确。具体现象不再详述。同时运行过程中还可以动态修改附加区中 CPU Model Parameter、FPGA Model Parameter 的参数，具体参考 EasyGo DeskSim 软件的帮助文档中的相关说明，由于 Template 模型比较简单，所以没有使用动态修改参数功能。

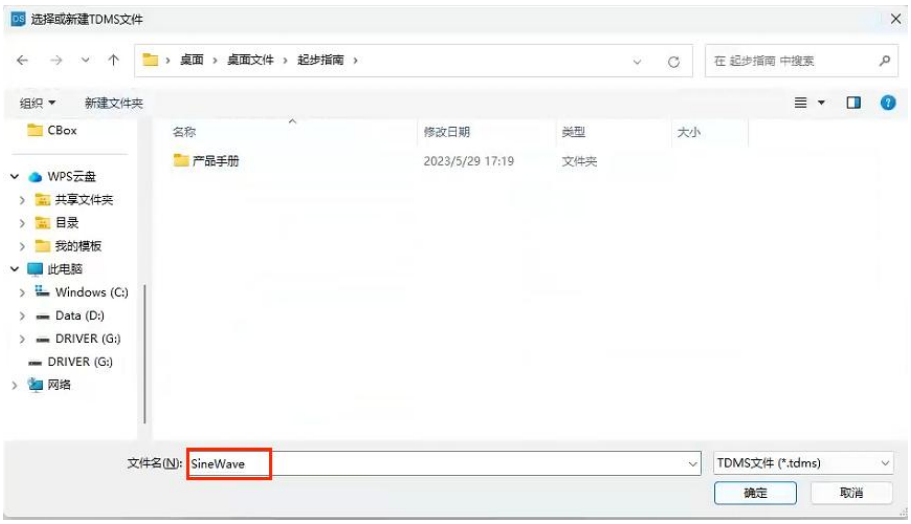
波形录制

点击软件工具栏的按钮，弹出录制波形配置界面，如下图所示：

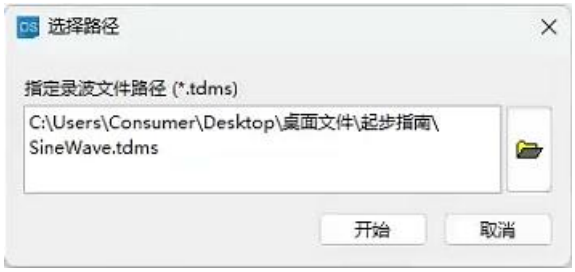


点击路径配置按钮，弹出路径选择对话框，选好存储路径后，配置好波形文件的名称，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



点击“确定”按钮完成配置，此时录制波形配置界面配置完成，如下图所示：



点击“开始”按钮，录波功能正式启动，此时可以看到界面上的波形录制按钮变成红色的，如下图所示：

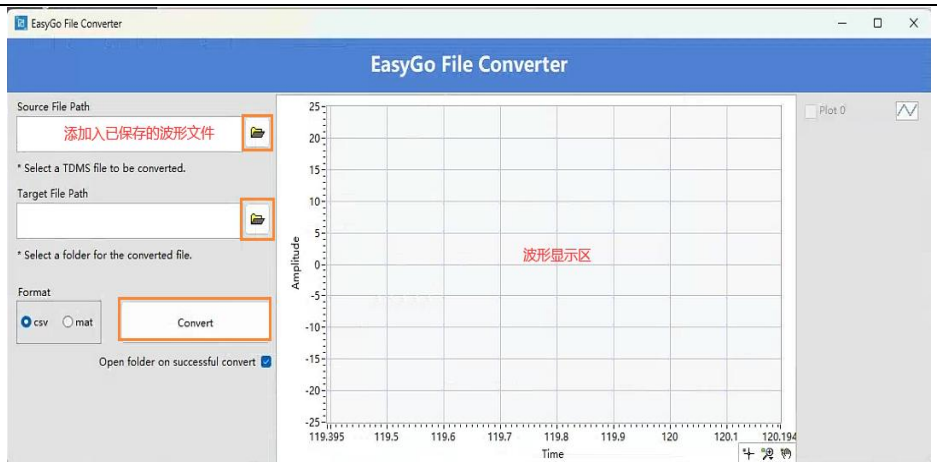


在这个录波状态下，程序运行过程中，模型文件中 Scope 模块配置的所有的有效信号均会实时记录下来。

波形查看

完成波形录制后，在 DeskSim 软件界面工具栏中，找到工具按键，点击后打开选择“文件转换器”选项，在“Source File Path”框中右侧，鼠标左击打开文件添加功能，将已保存的录波文件添加入对话框中，即可查看实时波形数据，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



注：录制的波形文件为*.tdms 格式的，具体如何查看波形文件以及波形文件格式转换，请参考 EasyGo DeskSim 的帮助文档中的工具箱说明部分。波形的录制时间控制在大约 2-3 分钟左右，以便观察波形实时变化结果，否则会导致文件过大，内存不足。

暂停程序

点击软件工具栏的按钮即可随时暂停程序。暂停后，可以看到界面上的暂停按钮变成红色的，如下图所示：



注意：

◆ 暂停功能只是暂停主界面的波形更新或数值显示控件的数据更新，便于用户查看暂停瞬时前的一段时间的数据或波形；

◆ 暂停功能对实时仿真机中的程序不影响；

◆ 暂停功能对波形录制也不影响，上下位机的数据交互始终没有间断；

停止程序

点击软件工具栏的按钮即可停止程序。

保存项目文件

全部运行完成后，为了便于下一次打开直接使用，可以对上述所有的配置操作进行保存管理，保存成 DeskSim 软件专属的项目文件（*.desksim）。

点击工具栏中的保存按钮，选择路径，修改名称，即可完成保存。下次打开时，可以点击软件工具栏中的打开按钮，载入以前保存的项目文件，或者直接双击项目文件，直接打开软件并载入项目文件。

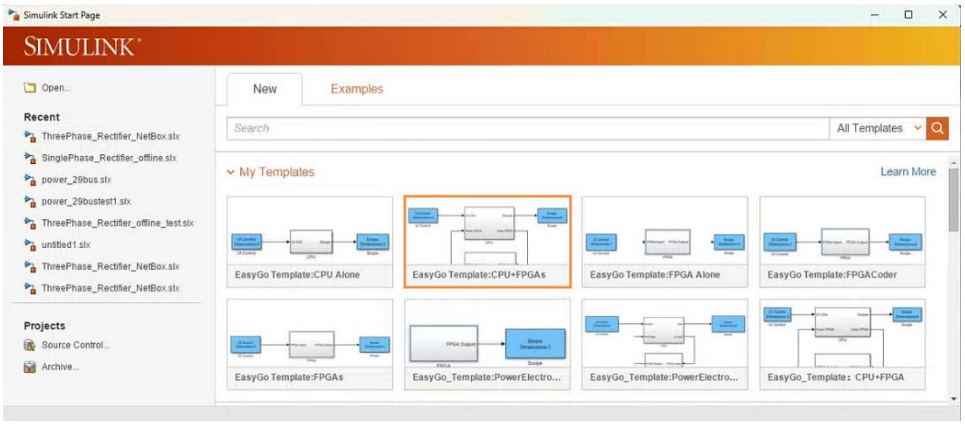
Copyright © EasyGo-Tech. All Rights Reserved.

Template 3：CPU + FPGAs

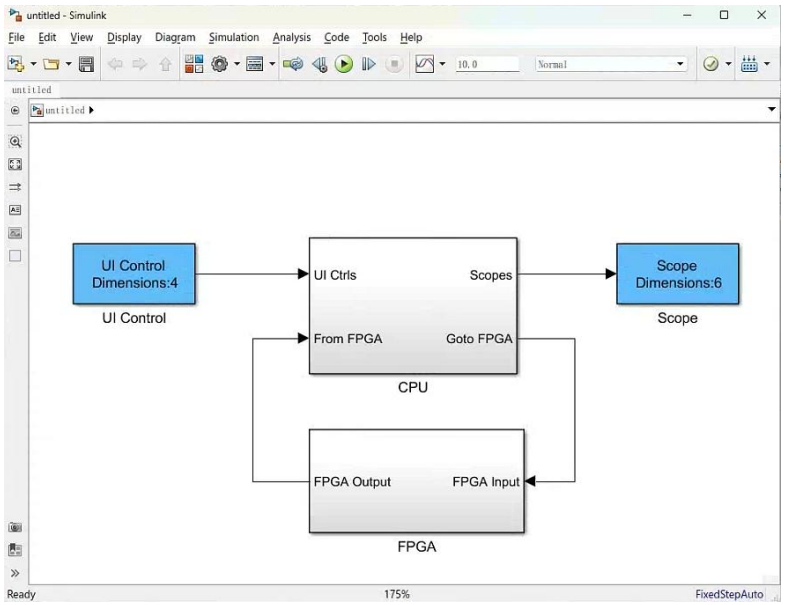
CPU + FPGAs 模型是利用 EasyGo Real-Time 函数库建立用于 CPU 和多块 FPGA 联合仿真的实时模型框架，即在实际仿真过程中使用 CPU 和多块 FPGA 进行仿真，并将仿真结果上传至上位机观察或交互至工业通讯端口。

准备程序

打开 Matlab 软件，点击启动 Simulink，在“Simulink Start Page”界面中点击“EasyGo Template：CPU + FPGAs”创建出 CPU + FPGAs 的框架模型，如下图所示：



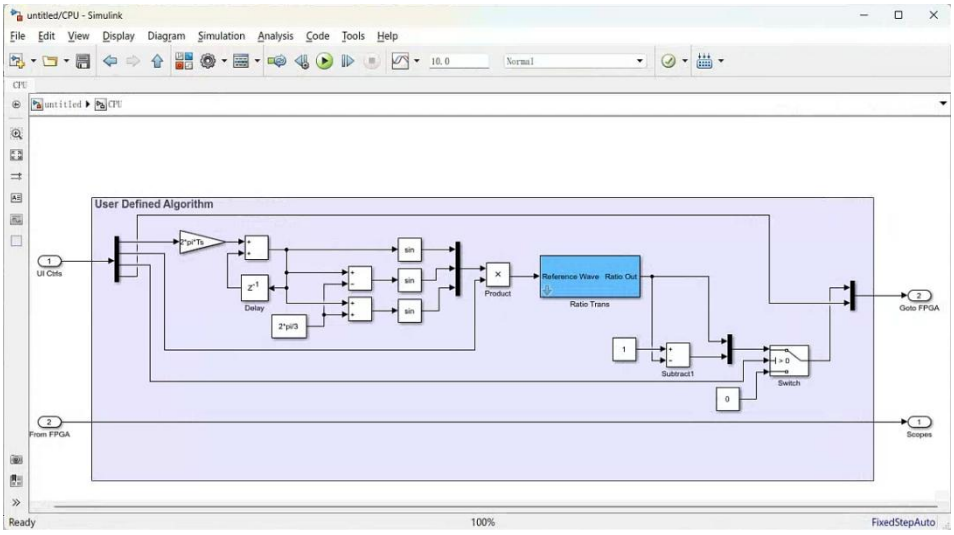
新建出来的原始模型是未保存的，将其保存成“CPU_and_FPGAs.slx”，如下图所示：



Copyright © EasyGo-Tech. All Rights Reserved.

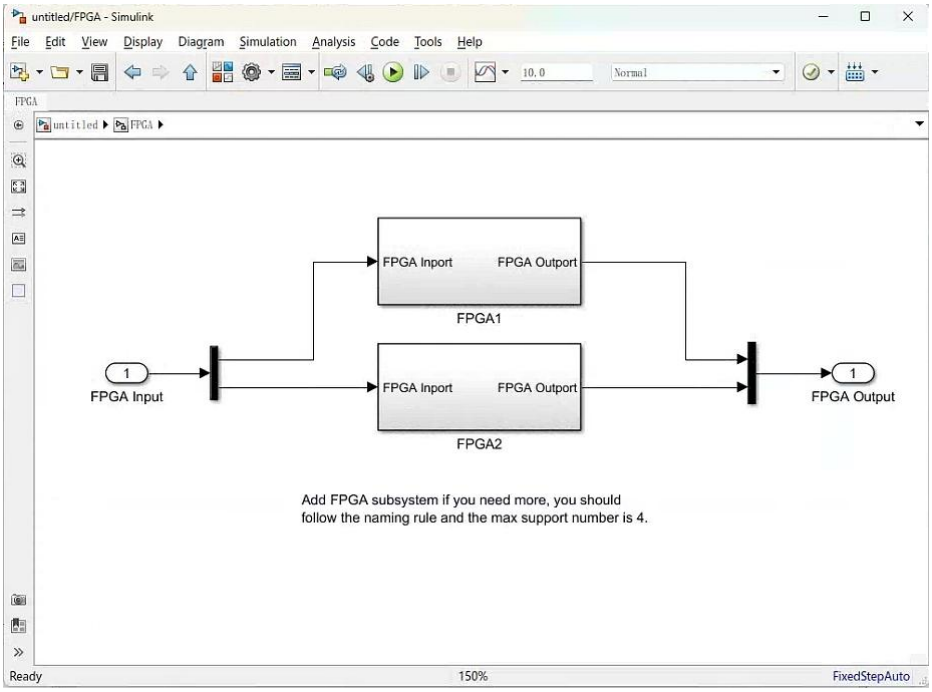
由于是 CPU + FPGAs 联合仿真模型仿真程序，所以核心代码在“CPU”子系统和“FPGA”子系统里面。

双击打开“CPU”子系统，如下图所示：



在“CPU”子系统中可以看到是一个简单的三相正弦波参考波生成的程序，同时附带上传部分 FPGA 数据，

双击打开“FPGA”子系统，如下图所示：



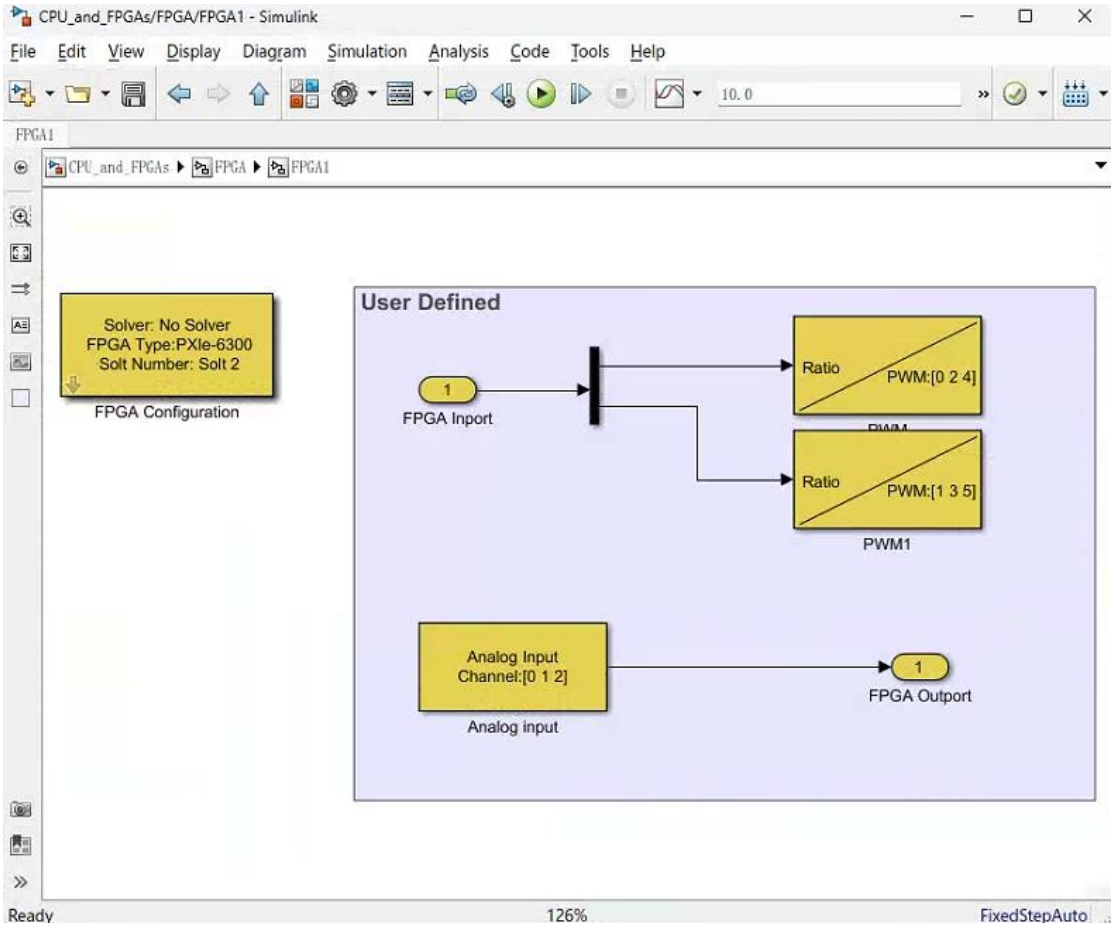
由于程序是 CPU 与多块 FPGA 板卡进行联合仿真的程序，所以在 FPGA 子系统中又包含多个子系统，如上图中显示的：FPGA1、FPGA2，即代表着两块不同的 FPGA 板卡，每个 FPGA 板卡上都有自己的程序。

Copyright © EasyGo-Tech. All Rights Reserved.

用户在使用多个 FPGA 板卡联合仿真时，模型搭建方面需要注意以下几点：

- 如果用户使用多块 FPGA 板卡仿真时，一定要将所有板卡全部放在这个“FPGA”子系统里面；且每块板卡上的程序都需要独立在一个子系统里面，子系统命名规则为“FPGA+序号”；
- 所有板卡的子系统的输入输出信号最终需要全部合并在一个端口上与 CPU 交互或直接与顶层交互模块交互（在没有 CPU 模型的情况下）；

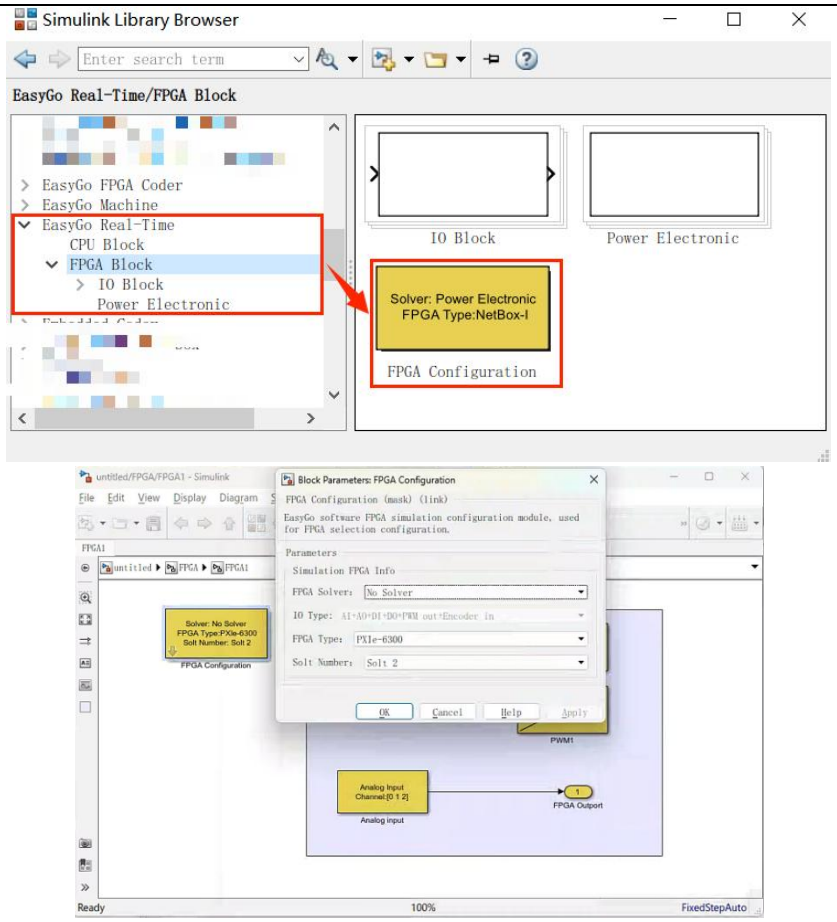
双击打开“FPGA1”子系统，如下图所示：



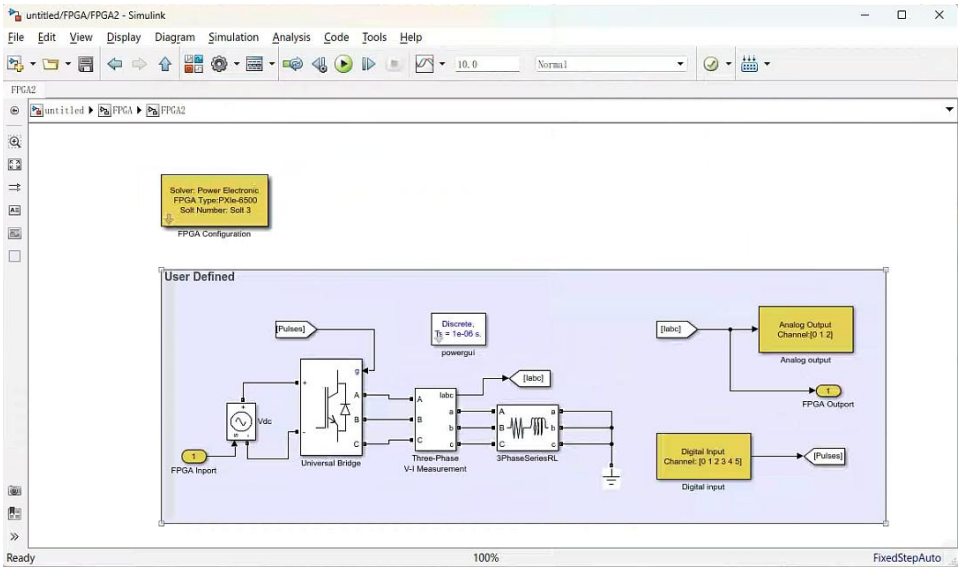
在“FPGA1”子系统中可以看到 FPGA 程序接收到参考波后生成 PWM 波的程序，同时附带三路模拟信号采集（部分模块的详细说明可参考 EasyGo RealTime Block 帮助文档）。

注意：每一个 FPGA 板卡都必须配有一个“FPGA Configuration”模块，如下图所示，在该模块中用户需要根据自己实际的硬件信息及 FPGA 算法的用途进行配置，详细说明可参考 EasyGo RealTime Block 帮助文档。

Copyright © EasyGo-Tech. All Rights Reserved.



双击打开“FPGA2”子系统，如下图所示：



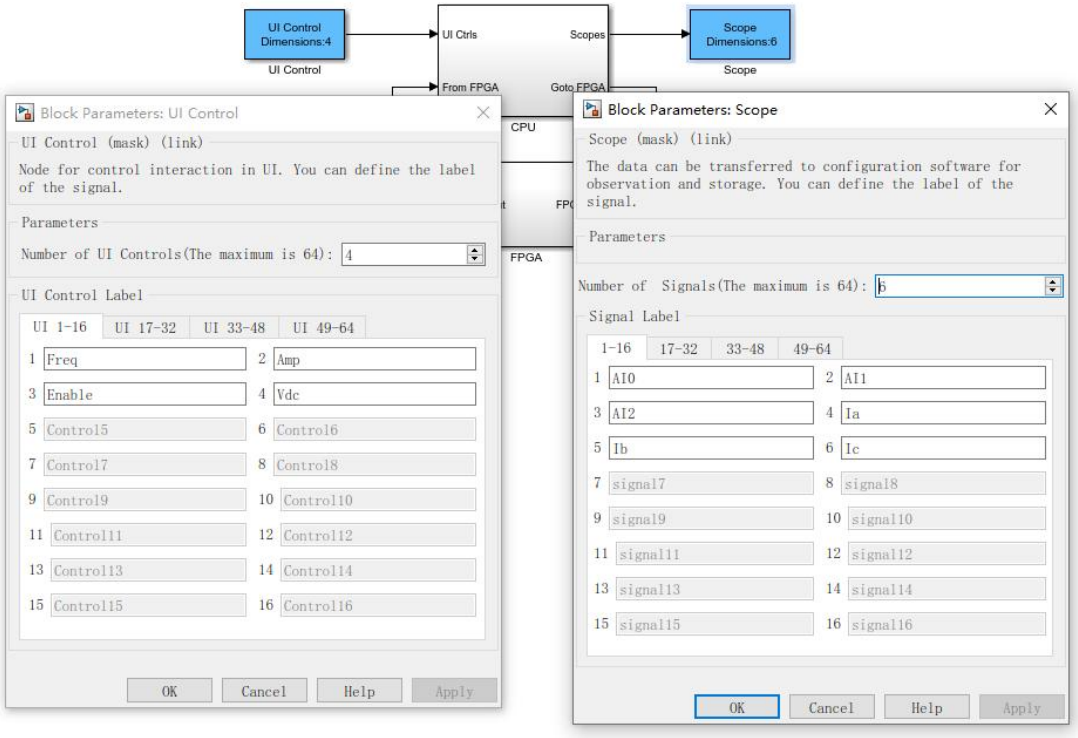
在“FPGA2”子系统中可以看到 FPGA 程序是一个电力电子算法，同时附带硬件 IO 上的数字信号采集及模拟信号输出（部分模块的详细说明可参考 EasyGo RealTime Block 帮助文档）。

返回主程序，分别打开输入端“UI Ctrl”和输出端“Scope”的配置窗口，

Copyright © EasyGo-Tech. All Rights Reserved.

如下图所示：这里把所有需要在 DeskSim 软件界面控制的信号全部配置在“UI Control”模块中，把所有需要在 DeskSim 软件界面上观察的信号全部配置在“Scope”模块中，同时在连入子系统后的“UI Control”的信号根据程序的需要解绑连入程序中，将程序输出的信号根据需要按顺序捆绑在一起输出至“Scope”模块中。

注意：程序中所有与主界面交互的数据必须通过“UI Control”模块和“Scope”模块进行交互，程序中存在的其他的输入输出信号均不支持在 DeskSim 软件上进行控制或显示，且同一个程序有且最多支持一个“UI Control”模块或“Scope”模块。（通讯模块使用方式同理，详细说明可参考 EasyGo RealTime Block 帮助文档）



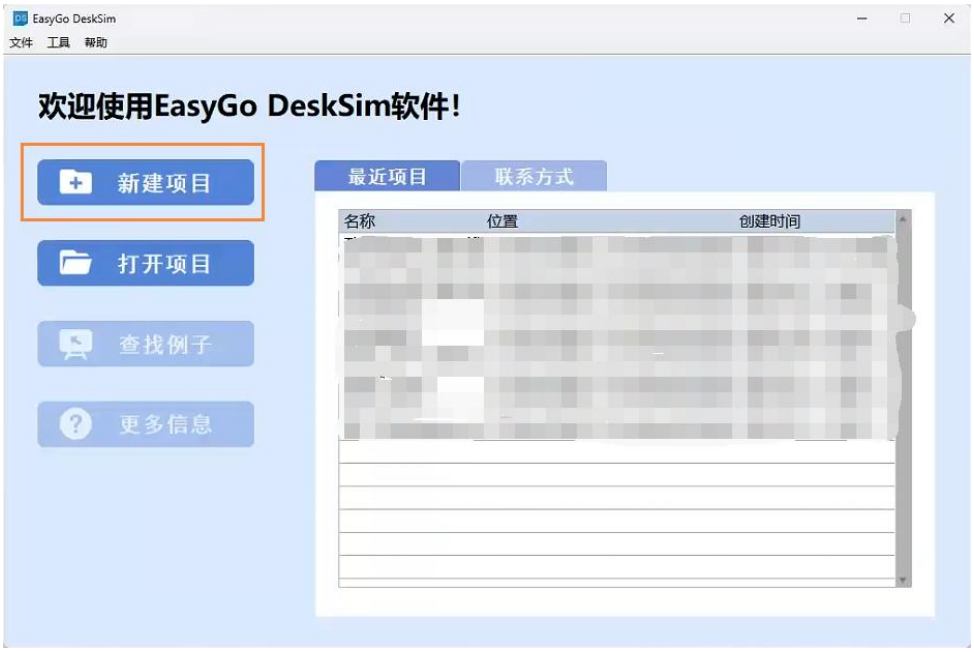
由此可知，整个程序实现的功能是输入端输入幅值、频率、参考波的使能信号以及 Vdc 信号，控制三相正弦波参考波，输出端为 FPGA 采集到的 AI 信号及电力电子算法中三路电流信号。

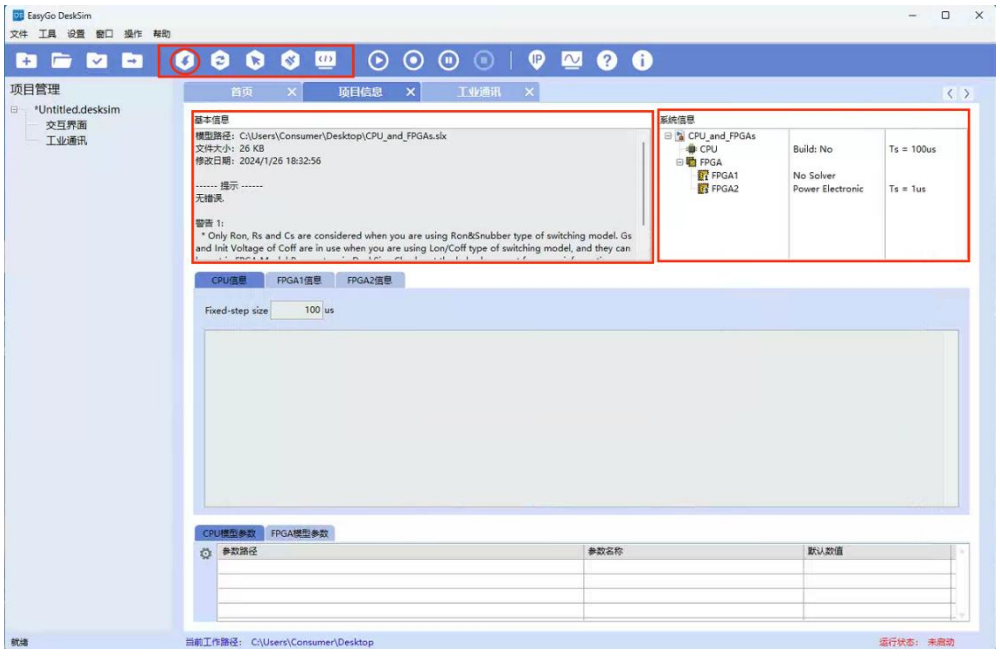
注：用户可以根据实际的 CPU 和 FPGA 上的算法修改“CPU”子系统和“FPGA”子系统中的代码，以及对应修改输入输出端口的信号名称及数量。

Copyright © EasyGo-Tech. All Rights Reserved.

导入程序

启动 EasyGo DeskSim 软件，在初始界面点击新建项目，新建工程文件后，再在工具栏界面中点击“载入模型”按钮载入程序文件；





载入文件后，软件会分析得到程序的基本信息。

注意：

◆如果模型中存在错误，用户需要把错误信息全部处理掉，才能进行实时运行；

◆如果需要修改或者打开模型文件，可以点击“编辑模型”按钮打开模型文件进行修改或查

Copyright © EasyGo-Tech. All Rights Reserved.

看；

◆如果用户载入的模型文件发生了修改，在界面中可以点击“刷新模型”按钮进行更新。

仿真配置

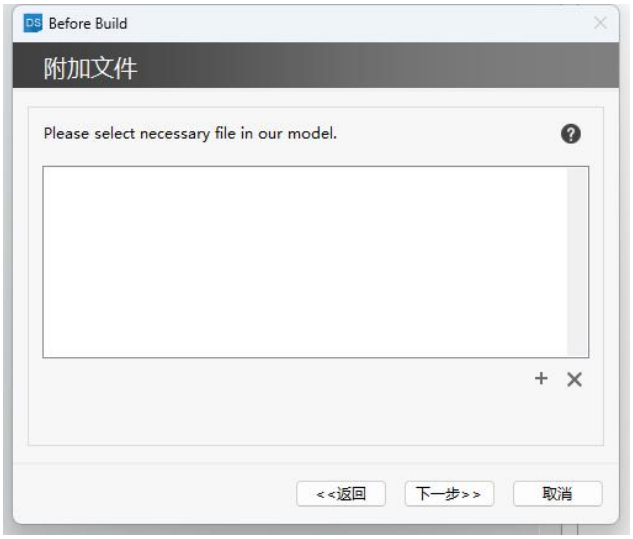
CPU 模型编译

针对 CPU 模型，需要对 CPU 模型进行编译操作，如下图所示，先设置程序运行的步长，如 100us，即 10k 的控制频率；



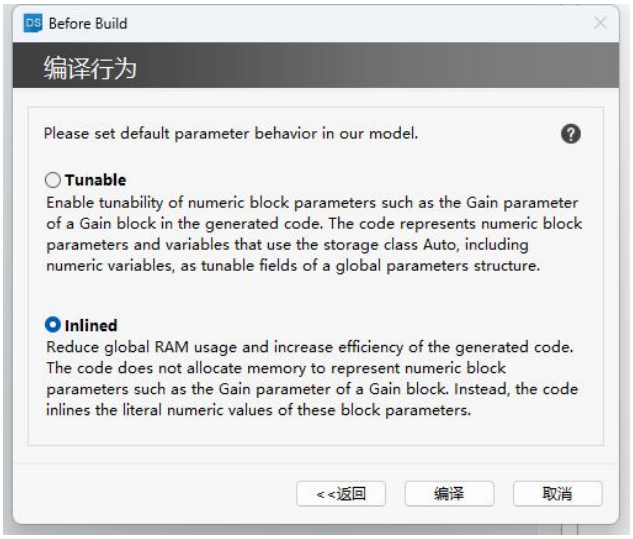
步长设置完成后，开始编译 CPU 模型，点击界面上的“编译模型”按钮，会弹出 Before Build 窗口，供用户对实际的编译操作进行与配置。点击“下一步>>”进入下一步配置，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



在“Attach File”页面中，用户可以添加在模型初始化过程中需要用到的文件，便于程序自动检测文件中所设置的变量；用户可通过右下角的添加或删除按钮进行操作。

由于使用的 CPU 模型比较简单，没有用到相关的文件，所以我们跳过这一步，点击“下一步>>”进入下一步配置，如下图所示：



在“编译行为”页面中，用户可以设置是否支持在线调参功能：

- Tunable：可调模式，是指程序中的一些常量或者增益的值是可以在线实时调整的，这个模式下程序运行时间会较长，效率较低。
- Inline：不可调模式，是指程序中的一些常量或者增益的值是不可以在线实时调整的，这个模式下程序运行时间会较短，效率更高。

由于使用的 CPU 模型比较简单，直接选择“Inline”模式，点击“Build”按钮，进入模型编译操作，如下图所示：该过程会持续几分钟时间（具体与模型

Copyright © EasyGo-Tech. All Rights Reserved.

的复杂程度有关）；

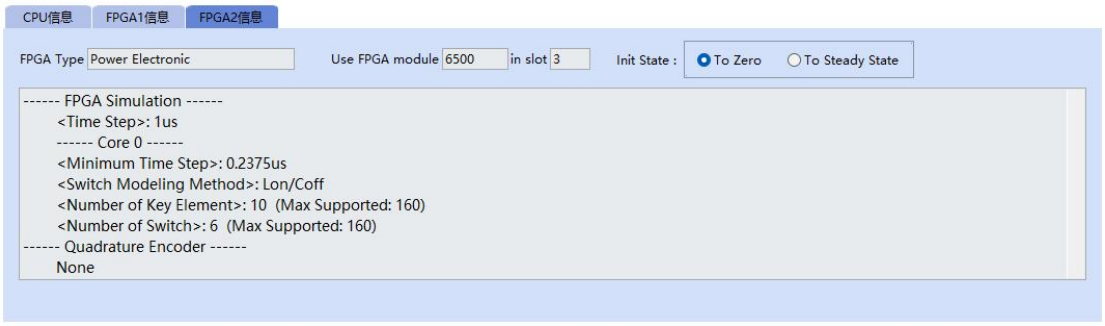


编译完成后，会提示编译结果“编译成功”，如下图所示：

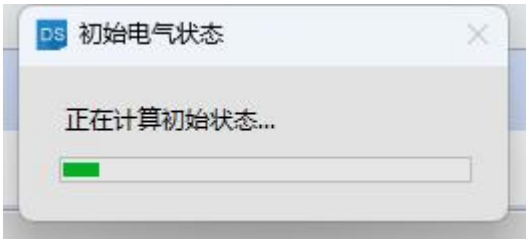


FPGA 模型初始化

对于使用了 FPGA 模型的程序，在 FPGA 模型为电力电子算法模型时，用户可根据实际需要对电力电子算法模型的初始状态进行处理，如下图所示：



如果需要初始化操作的话，点击“Init State”勾选框中的“To Steady State”选项，之后会弹出确认对话框，确认后开始对模型进行初始化处理，该过程会持续几分钟，如下图所示：



初始化完成后，模型在运行时会预先导入初始状态量进行电力电子拓扑仿真。

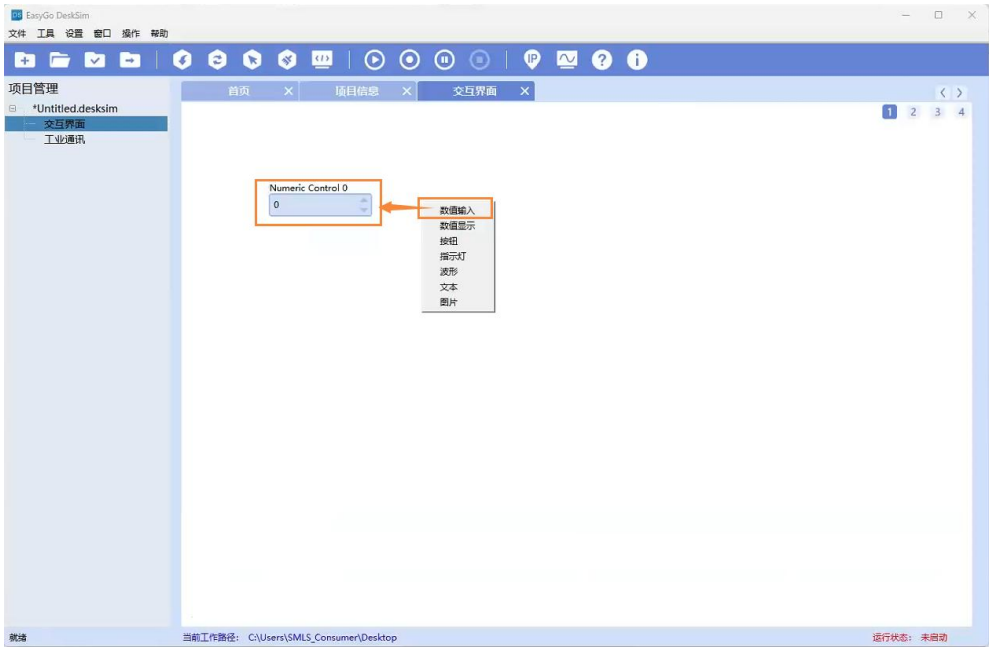
添加自定义界面

添加 UI 界面的控制输入

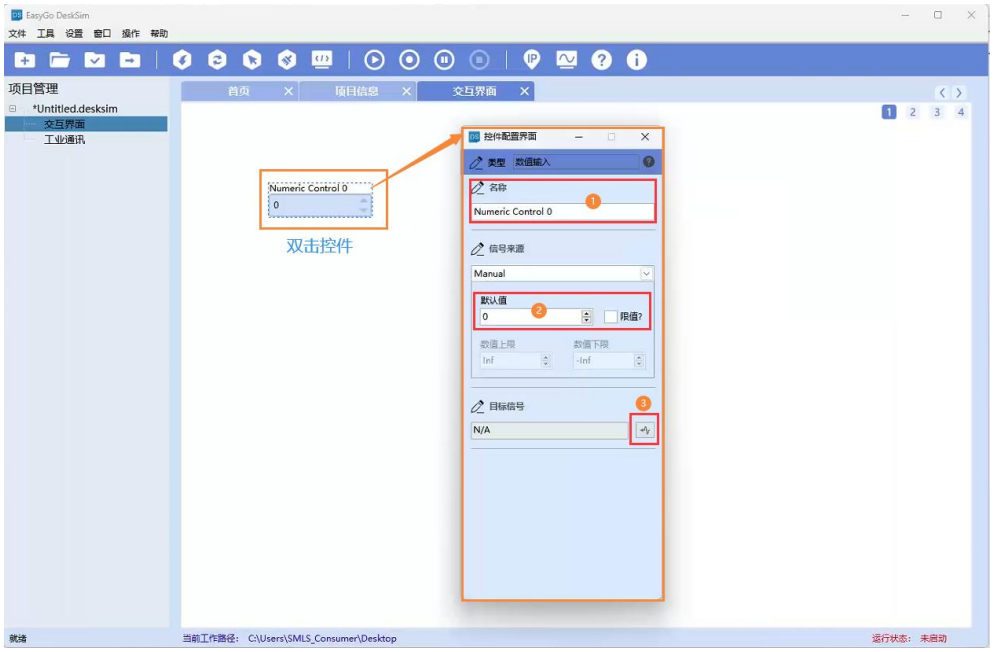
DeskSim 主界面切换至交互界面，在界面中单击右键，会弹出控件菜单，点

Copyright © EasyGo-Tech. All Rights Reserved.

击“数值输入”，并在空白编辑区域选择合适位置释放，即完成一个 Numeric Control 控件的添加，如下图所示：



添加完成之后，点击选中这个控件，界面右侧栏会显示这个控件的配置内容，可选择信号绑定的对象（程序的所有输入端），修改名称和初始值；点击信号选择按钮，在弹出的信号列表中选择需要绑定的信号，如“Freq”，选中后，控件名称会同步更新为信号名称，用户可以使用信号名称或手动修改名称，设置完成后，设置初始参数为“50”，如下图所示：



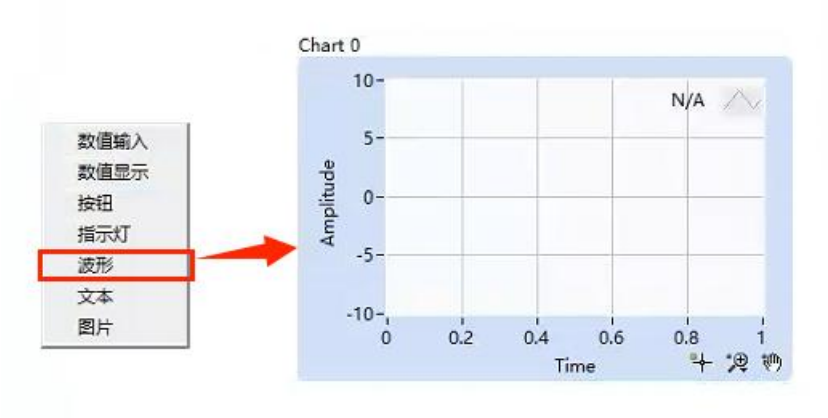
Copyright © EasyGo-Tech. All Rights Reserved.

同样的方式，将程序的四个输入端口绑定到界面的控件之后可以得到：



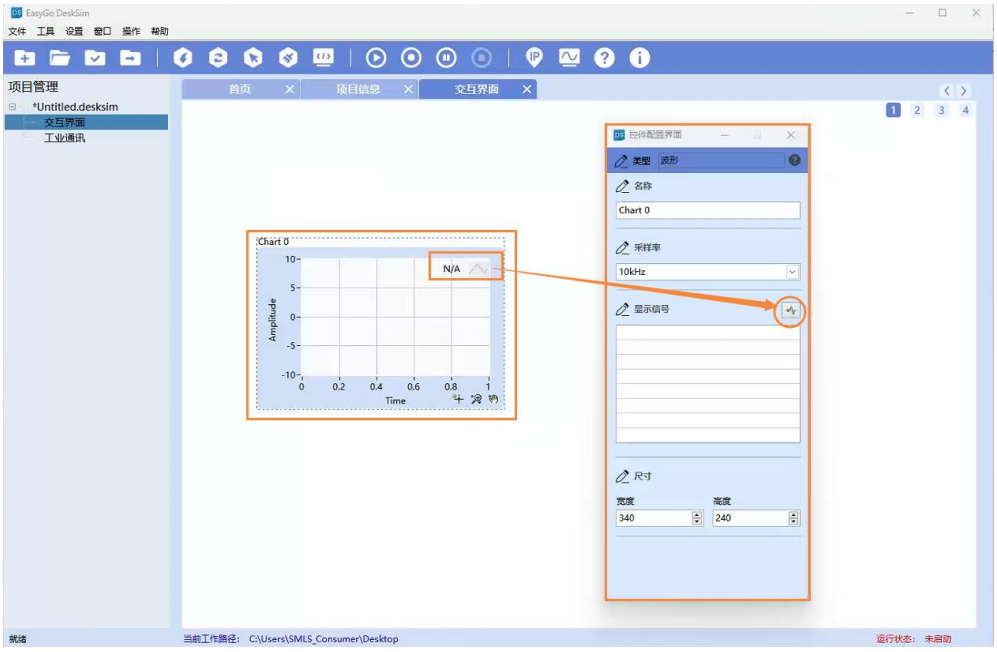
添加 UI 界面的波形显示

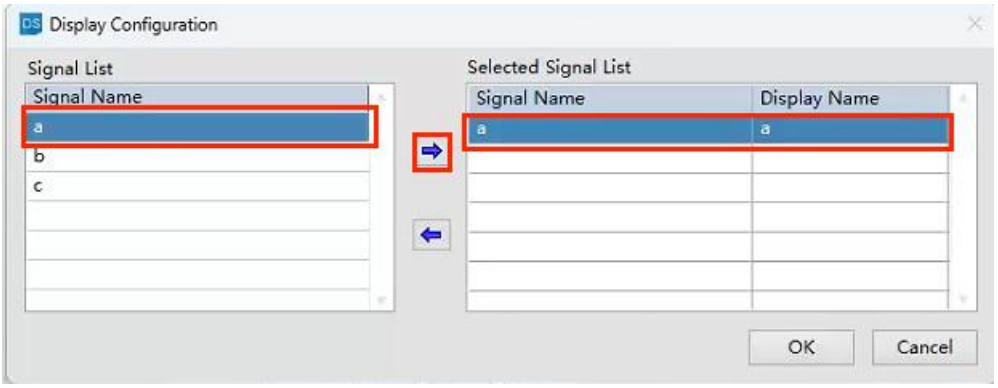
在交互界面的空白位置右键调出控件选板，左键点击“波形”，并将其在空白编辑区域释放，即完成一个 Chart 控件的添加，如下图所示：



选中 Chart 控件，在右侧显示的配置区域中可以选中显示的信号源（程序的所有输出信号均可显示）。

Copyright © EasyGo-Tech. All Rights Reserved.





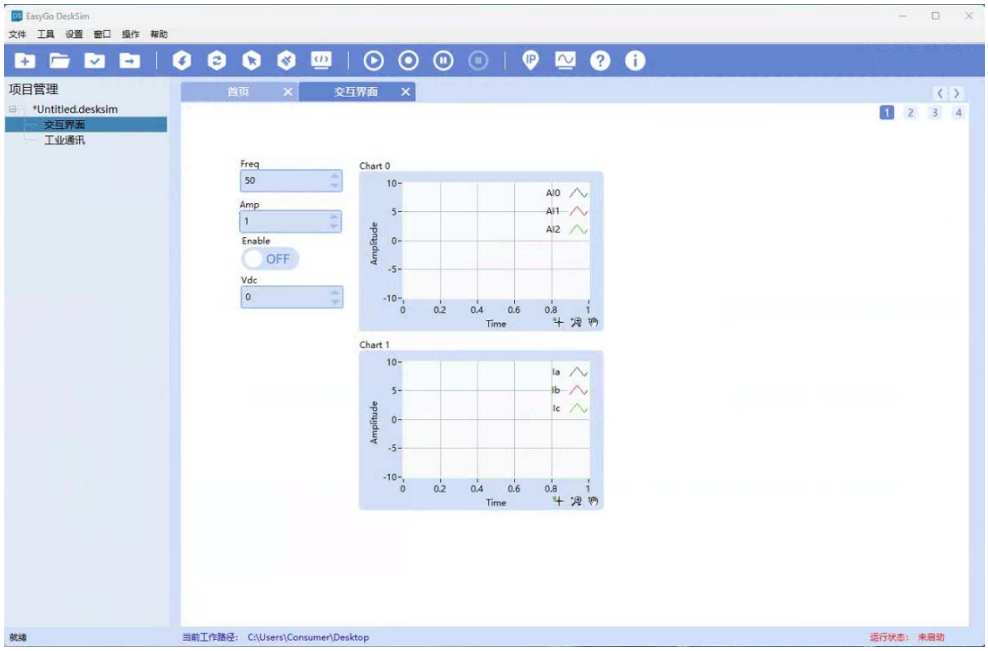
并可以修改 Chart 的名称、采样率和大小。



同样的方式，添加三路电流 Ia，Ib，Ic 的波形显示。

配置完成后，可以得到最终的自定义界面，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



程序运行

配置仿真机的网络信息

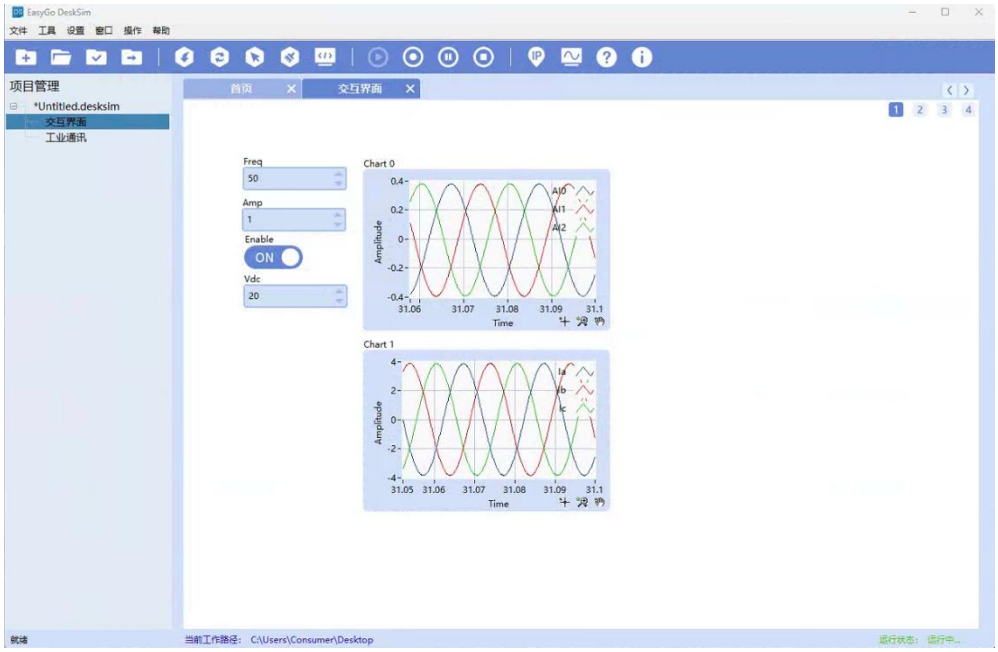
点击 DeskSim 软件工具栏的按钮，即可打开仿真机的网络配置窗口，设置好 IP 地址、端口号等信息。



运行程序

Copyright © EasyGo-Tech. All Rights Reserved.

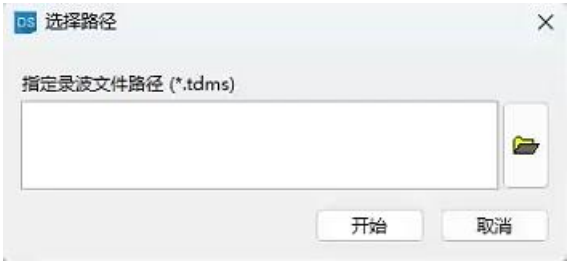
点击软件工具栏的按钮即可运行程序。



可以实时调整波形的幅值和频率来观察实际波形的变化情况。由于实际的 AI 通道是悬空的，所以采集到的信号均为 0V，可以外接信号来观察采集信号是否正确，具体现象不再详述。同时运行过程中还可以动态修改附加区中 CPU Model Parameter、FPGA Model Parameter 的参数，具体参考 EasyGo DeskSim 软件的帮助文档中的相关说明，由于 Template 模型比较简单，所以没有使用动态修改参数功能。

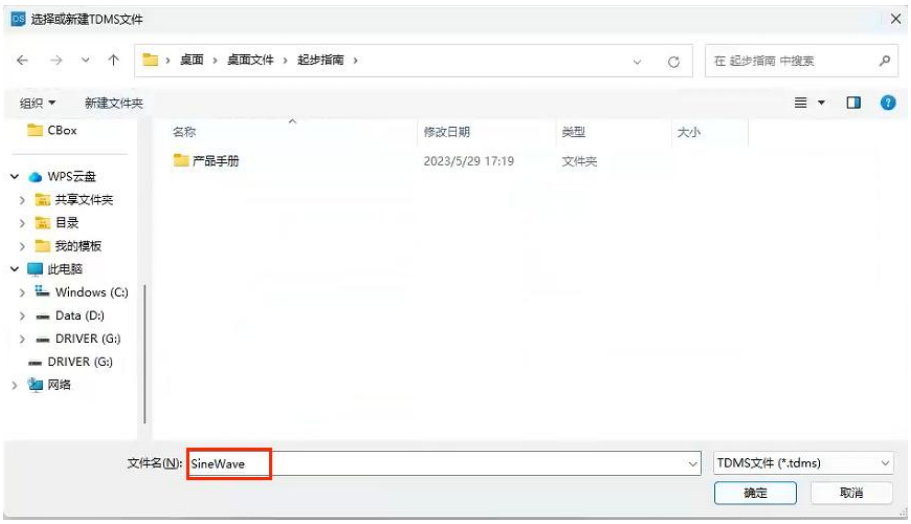
波形录制

点击软件工具栏的按钮，弹出录制波形配置界面，如下图所示：

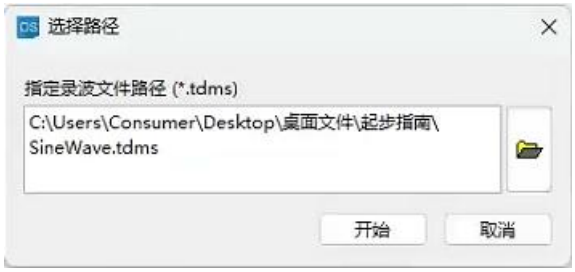


点击路径配置按钮，弹出路径选择对话框，选好存储路径后，配置好波形文件的名称，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



点击“确定”按钮完成配置，此时录制波形配置界面配置完成，如下图所示：



点击“开始”按钮，录波功能正式启动，此时可以看到界面上的波形录制按钮变成红色的，如下图所示：

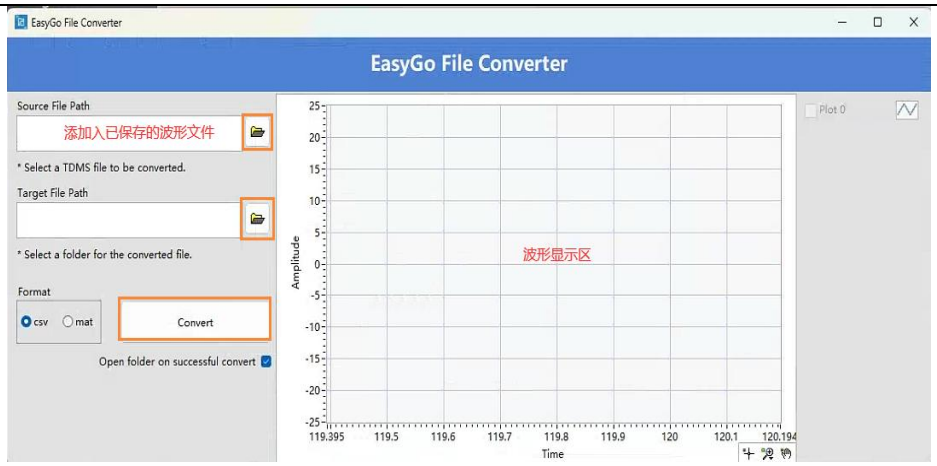


在这个录波状态下，程序运行过程中，模型文件中 Scope 模块配置的所有的有效信号均会实时记录下来。

波形查看

完成波形录制后，在 DeskSim 软件界面工具栏中，找到工具按键，点击后打开选择“文件转换器”选项，在“Source File Path”框中右侧，鼠标左击打开文件添加功能，将已保存的录波文件添加入对话框中，即可查看实时波形数据，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



注：录制的波形文件为*.tdms 格式的，具体如何查看波形文件以及波形文件格式转换，请参考 EasyGo DeskSim 的帮助文档中的工具箱说明部分。波形的录制时间控制在大约 2-3 分钟左右，以便观察波形实时变化结果，否则会导致文件过大，内存不足。

暂停程序

点击软件工具栏的按钮即可随时暂停程序。暂停后，可以看到界面上的暂停按钮变成红色的，如下图所示：



注意：

◆ 暂停功能只是暂停主界面的波形更新或数值显示控件的数据更新，便于用户查看暂停瞬时前的一段时间的数据或波形；

◆ 暂停功能对实时仿真机中的程序不影响；

◆ 暂停功能对波形录制也不影响，上下位机的数据交互始终没有间断；

停止程序

点击软件工具栏的按钮即可停止程序。

保存项目文件

全部运行完成后，为了便于下一次打开直接使用，可以对上述所有的配置操作进行保存管理，保存成 DeskSim 软件专属的项目文件（*.desksim）。

点击工具栏中的保存按钮，选择路径，修改名称，即可完成保存。下次打开时，可以点击软件工具栏中的打开按钮，载入以前保存的项目文件，或者直接双击项目文件，直接打开软件并载入项目文件。

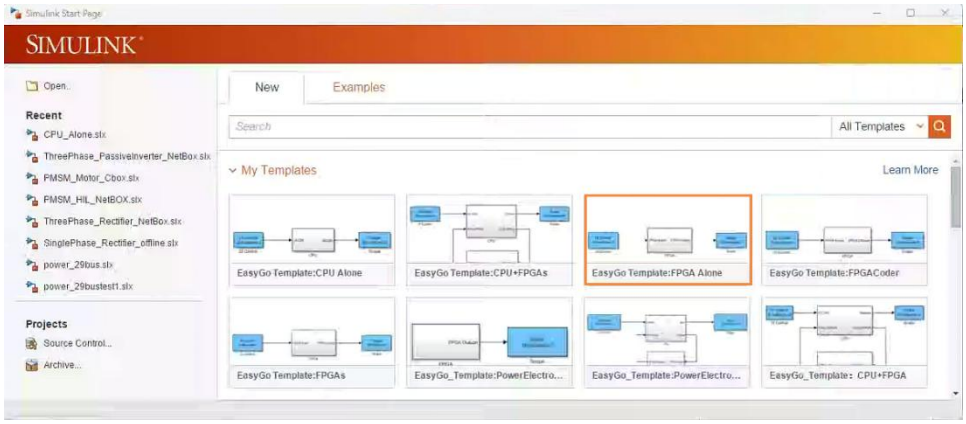
Copyright © EasyGo-Tech. All Rights Reserved.

Template 4：FPGA Alone

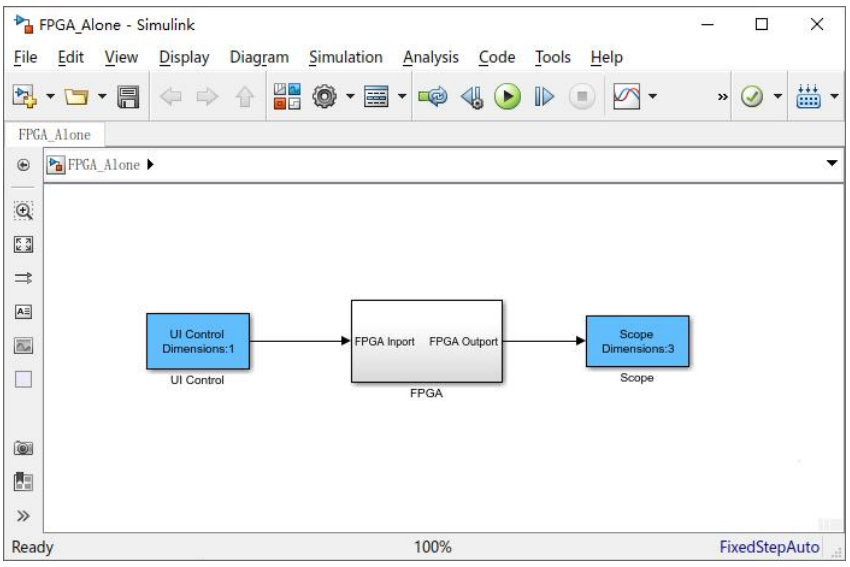
FPGA Alone 模型是利用 EasyGo Real-Time 函数库建立用于单卡 FPGA 实时模型框架，即在实际仿真过程中仅使用一块 FPGA 进行仿真，并将仿真结果上传至上位机观察或交互至工业通讯端口。

准备程序

打开 Matlab 软件，点击启动 Simulink，在“Simulink Start Page”界面中点击“EasyGo Template：FPGA Alone”创建出 FPGA Alone 的框架模型，如下图所示：

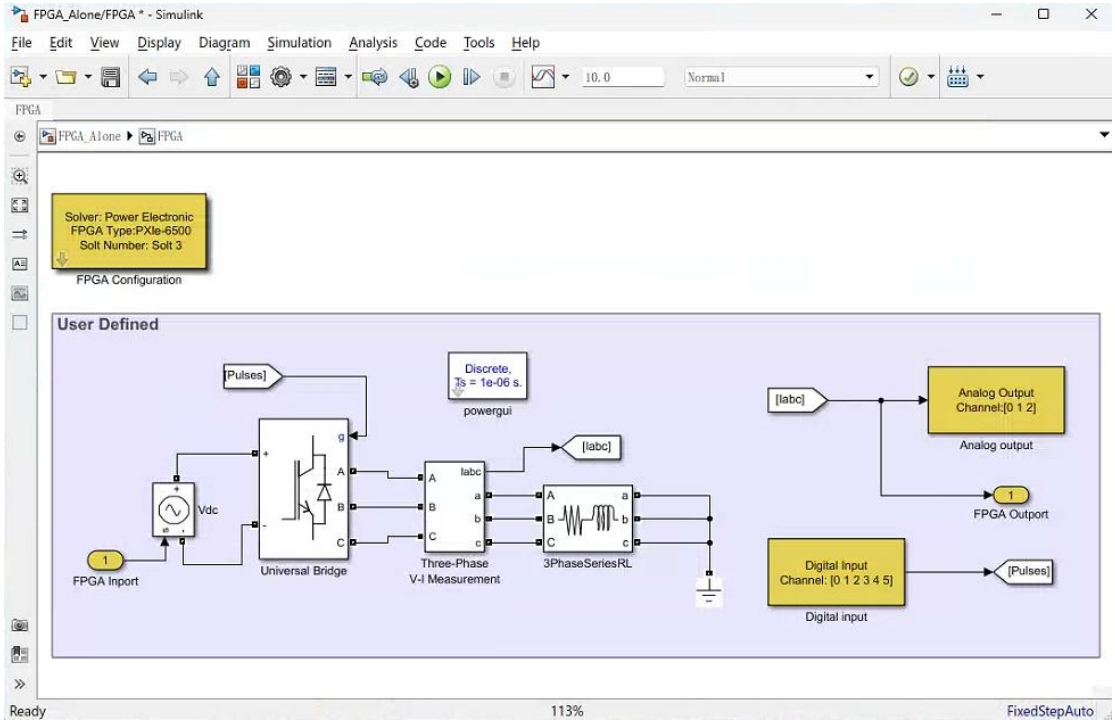


新建出来的原始模型是未保存的，将其保存成“FPGA_Alone.slx”，如下图所示：



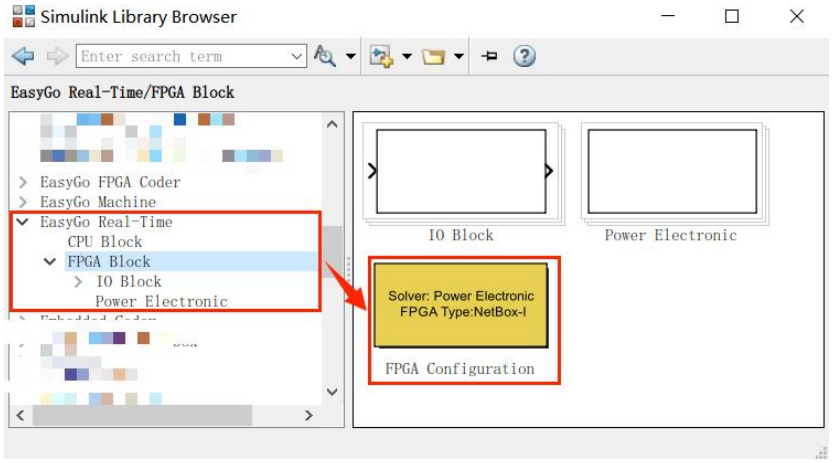
Copyright © EasyGo-Tech. All Rights Reserved.

由于是单卡 FPGA 仿真模型仿真程序，所以核心代码在“FPGA”子系统里面。双击打开“FPGA”子系统，如下图所示：

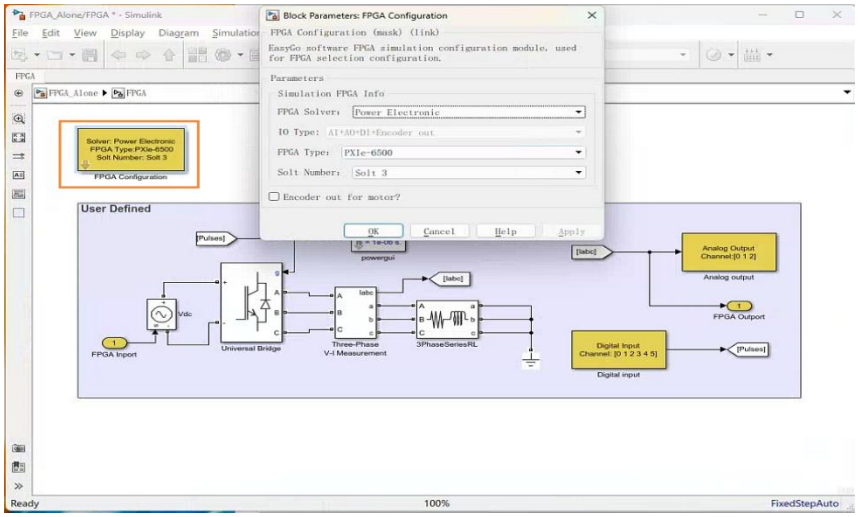


在“FPGA”子系统中可以看到 FPGA 程序是一个电力电子算法，同时附带硬件 IO 上的数字信号采集及模拟信号输出（部分模块的详细说明可参考 EasyGo RealTime Block 帮助文档）。

注意：每一个 FPGA 板卡都必须配有一个“FPGA Configuration”模块，如下图所示，在该模块中用户需要根据自己实际的硬件信息及 FPGA 算法的用途进行配置，详细说明可参考 EasyGo RealTime Block 帮助文档。

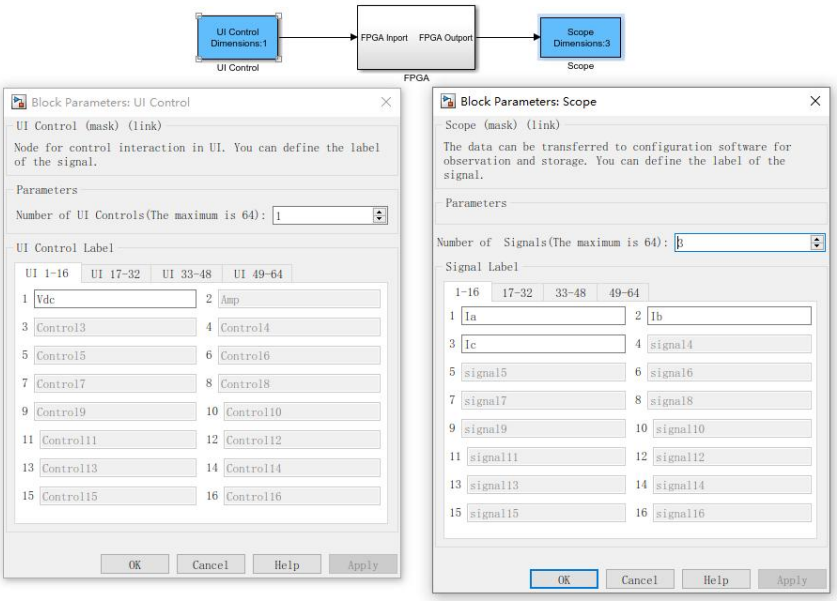


Copyright © EasyGo-Tech. All Rights Reserved.



返回主程序，分别打开输入端“UI Ctrl”和输出端“Scope”的配置窗口，如下图所示：这里把所有需要在 DeskSim 软件界面控制的信号全部配置在“UI Control”模块中，把所有需要在 DeskSim 软件界面上观察的信号全部配置在“Scope”模块中，同时在连入子系统后的“UI Control”的信号根据程序的需要解绑连入程序中，将程序输出的信号根据需要按顺序捆绑在一起输出至“Scope”模块中。

注意：程序中所有与主界面交互的数据必须通过“UI Control”模块和“Scope”模块进行交互，程序中存在的其他的输入输出信号均不支持在 DeskSim 软件上进行控制或显示，且同一个程序有且最多支持一个“UI Control”模块或“Scope”模块。（通讯模块使用方式同理，详细说明可参考 EasyGo RealTime Block 帮助文档）。



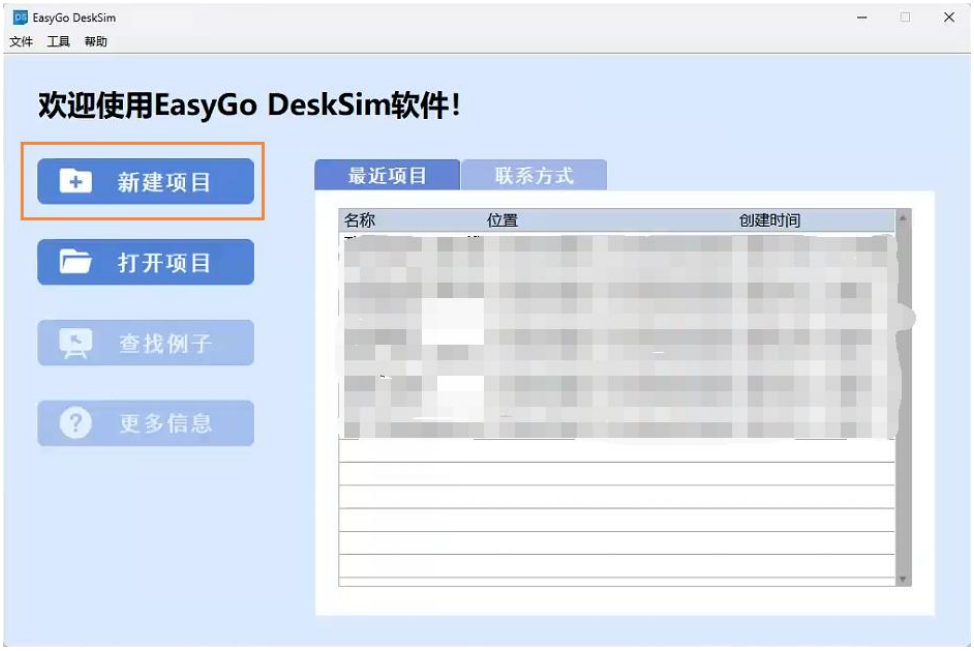
Copyright © EasyGo-Tech. All Rights Reserved.

由此可知，整个程序实现的功能是输入端输入 Vdc 信号，输出端为电力电子算法中三路电流信号。

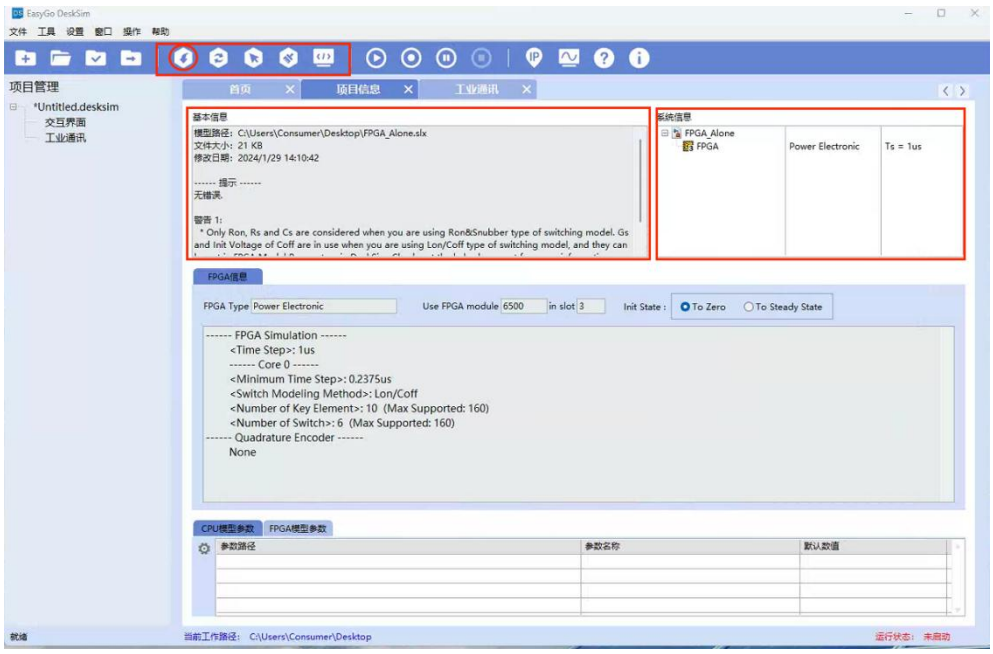
注：用户可以根据自己的 FPGA 上的算法修改 “FPGA”子系统中的代码，以及对应修改输入输出端口的信号名称及数量。

导入程序

启动 EasyGo DeskSim 软件，在初始界面点击新建项目，新建工程文件后，再在工具栏界面中点击“载入模型”按钮载入程序文件；



Copyright © EasyGo-Tech. All Rights Reserved.



载入文件后，软件会分析得到程序的基本信息。

注意：

◆如果模型中存在错误，用户需要把错误信息全部处理掉，才能进行实时运行；

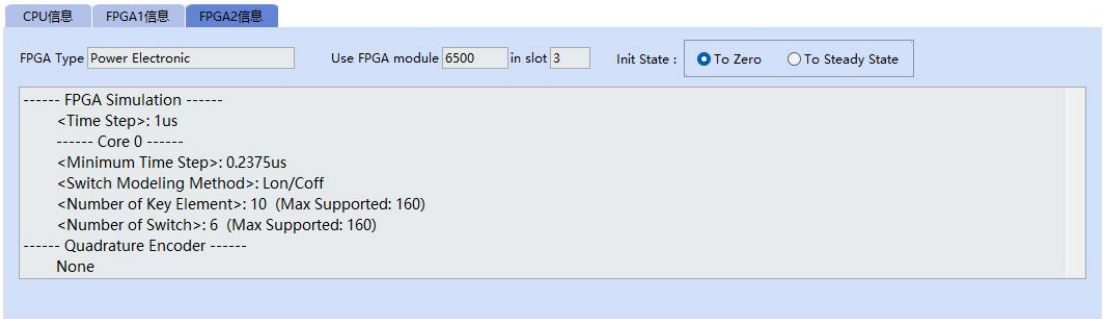
◆如果需要修改或者打开模型文件，可以点击“编辑模型”按钮打开模型文件进行修改或查看；

◆如果用户载入的模型文件发生了修改，在界面中可以点击“刷新模型”按钮进行更新。

仿真配置

FPGA 模型初始化

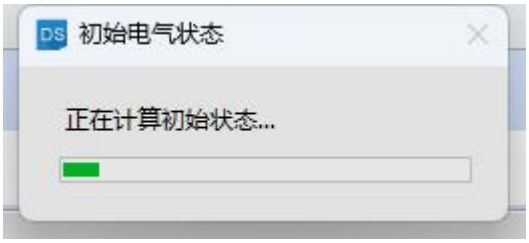
对于使用了 FPGA 模型的程序，在 FPGA 模型为电力电子算法模型时，用户可根据实际需要对电力电子算法模型的初始状态进行处理，如下图所示：



如果需要初始化操作的话，点击“Init State”勾选框中的“To Steady State”

Copyright © EasyGo-Tech. All Rights Reserved.

选项，之后会弹出确认对话框，确认后开始对模型进行初始化处理，该过程会持续几分钟，如下图所示：

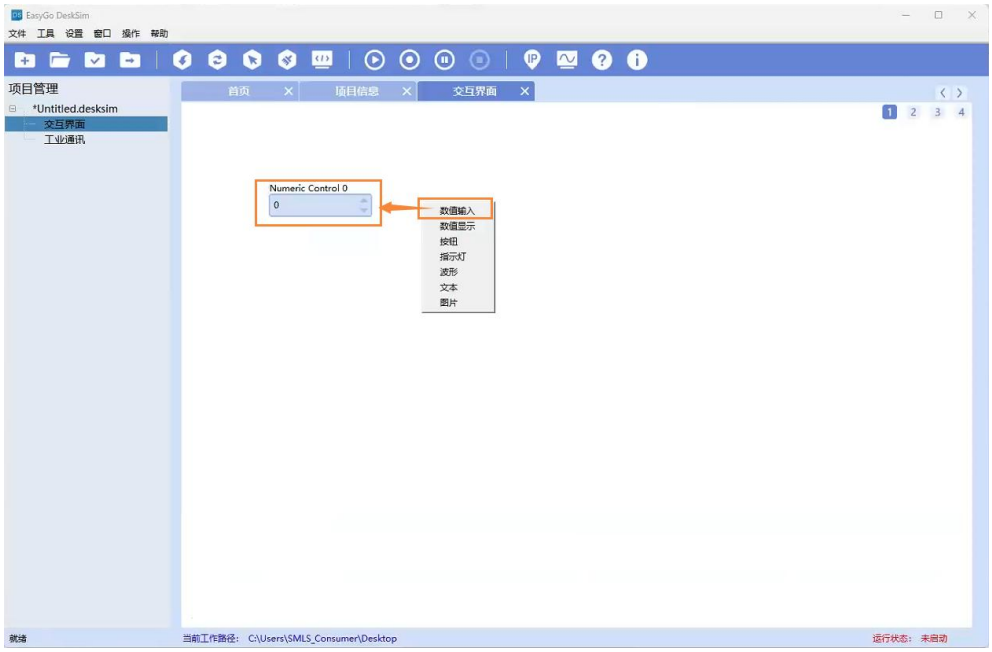


初始化完成后，模型在运行时会预先导入初始状态量进行电力电子拓扑仿真。

添加自定义界面

添加 UI 界面的控制输入

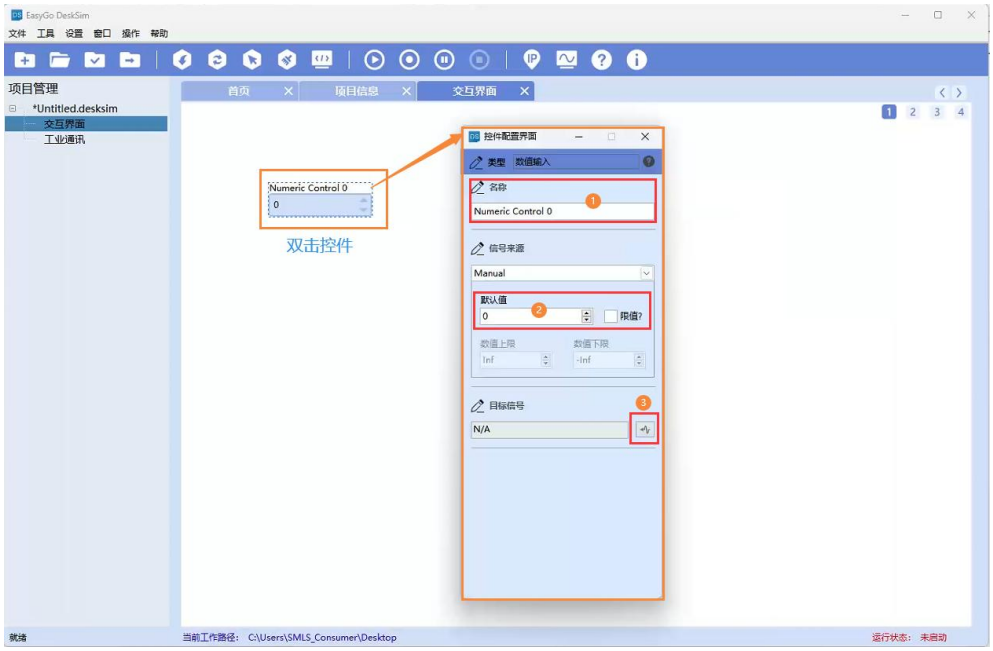
DeskSim 主界面切换至交互界面，在界面中单击右键，会弹出控件菜单，点击“数值输入”，并在空白编辑区域选择合适位置释放，即完成一个 Numeric Control 控件的添加，如下图所示：



添加完成之后，点击选中这个控件，界面右侧栏会显示这个控件的配置内容，可选择信号绑定的对象（程序的所有输入端），修改名称和初始值；点击信号选择按钮，在弹出的信号列表中选择需要绑定的信号，如“Vdc”，选中后，控件名称会同步更新为信号名称，用户可以使用信号名称或手动修改名称，设置完成

Copyright © EasyGo-Tech. All Rights Reserved.

后，我们对设置初始参数为“20”，如下图所示：

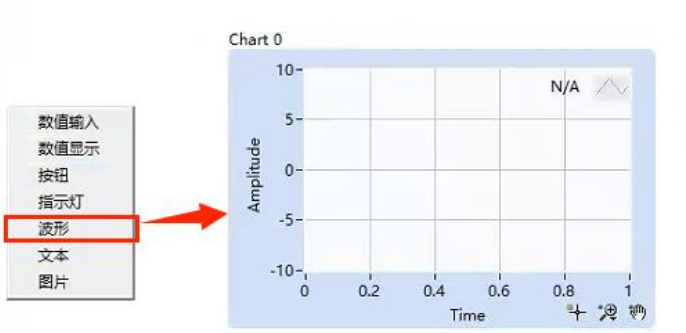


将程序的输入端口绑定到界面的控件之后可以得到：



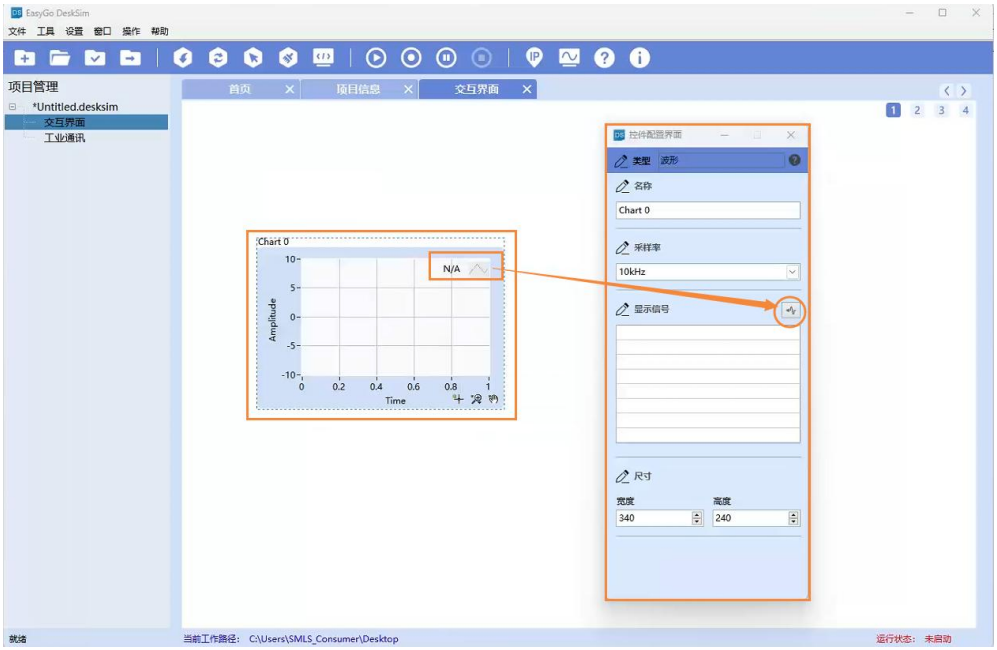
添加 UI 界面的波形显示

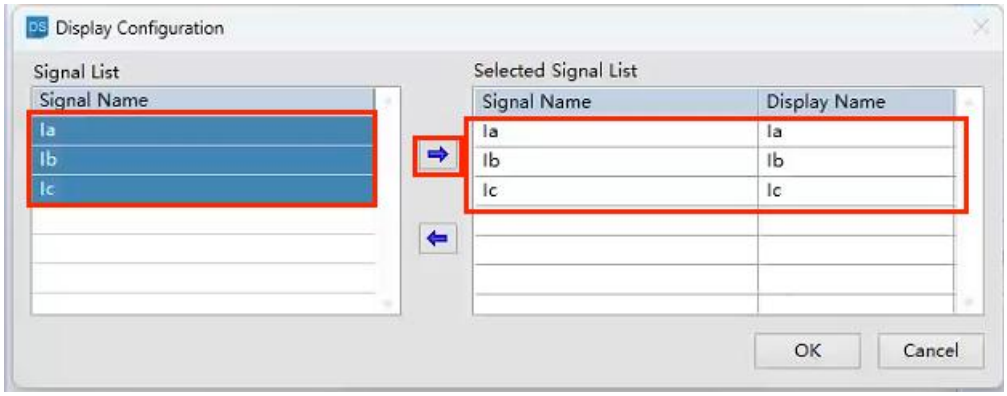
在交互界面的空白位置右键调出控件选板，左键点击“波形”，并将其在空白编辑区域释放，即完成一个 Chart 控件的添加，如下图所示：



选中 Chart 控件，在右侧显示的配置区域中可以选中显示的信号源（程序的所有输出信号均可显示）。

Copyright © EasyGo-Tech. All Rights Reserved.



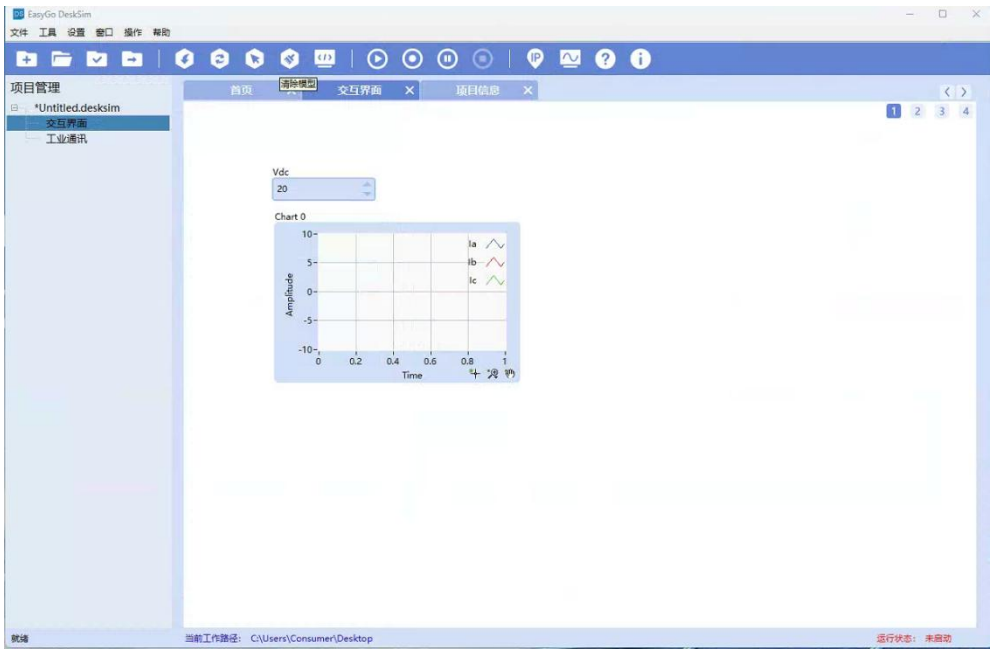


并可以修改 Chart 的名称、采样率和大小。



配置完成后，可以得到最终的自定义界面，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



程序运行

配置仿真机的网络信息

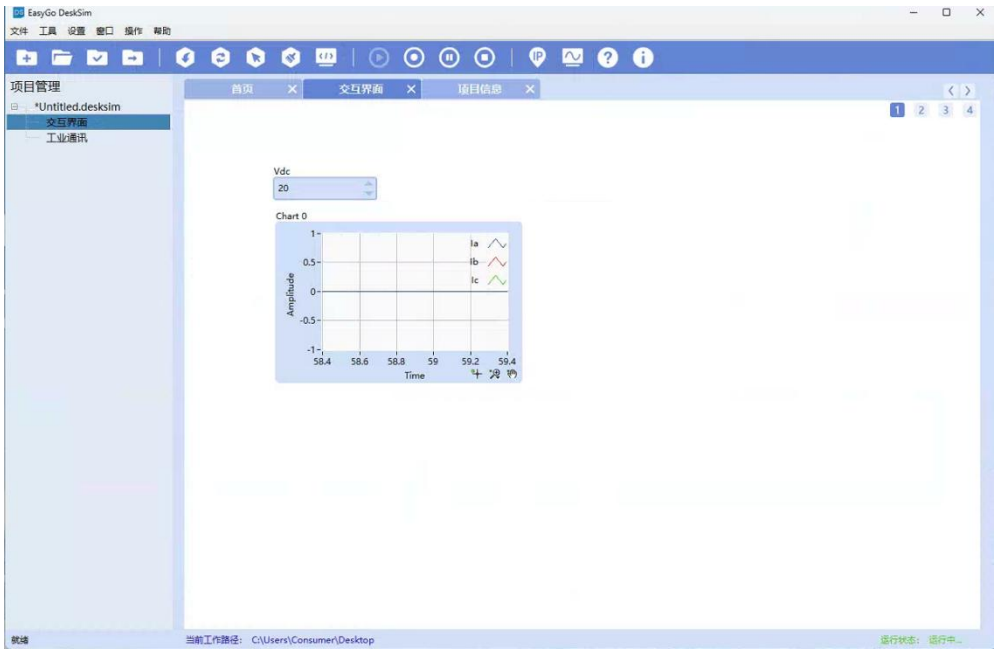
点击 DeskSim 软件工具栏的按钮，即可打开仿真机的网络配置窗口，设置好 IP 地址、端口号等信息。



运行程序

点击软件工具栏的按钮即可运行程序。

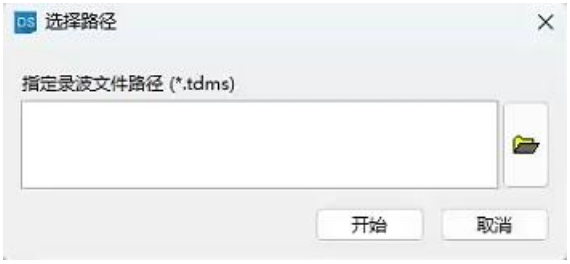
Copyright © EasyGo-Tech. All Rights Reserved.



由于该程序需要控制侧发送 PWM 信号来控制电路，因此电流信号采集为 0，在实际测试时，需外接控制设备进行测试，可以实时调整 Vdc 的值来观察实际波形的变化情况，具体现象不再详述。同时运行过程中还可以动态修改附加区中 FPGA Model Parameter 的参数，具体参考 EasyGo DeskSim 软件的帮助文档中的相关说明，由于模型比较简单，所以没有使用动态修改参数功能。

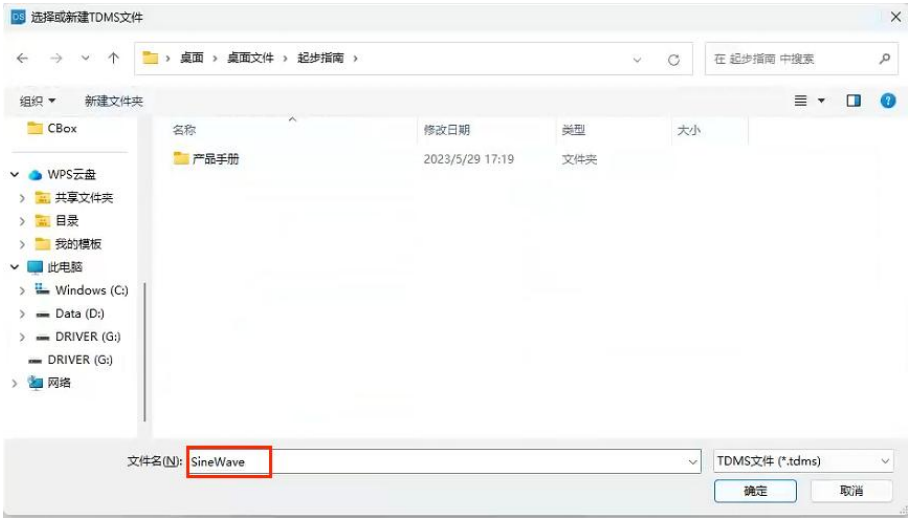
波形录制

点击软件工具栏的按钮，弹出录制波形配置界面，如下图所示：

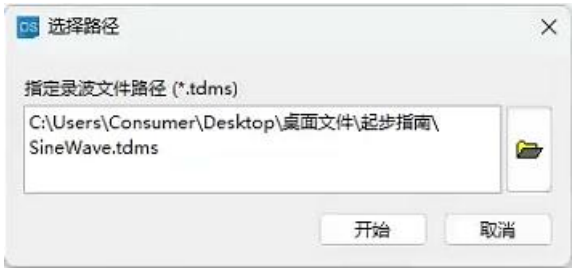


点击路径配置按钮，弹出路径选择对话框，选好存储路径后，配置好波形文件的名称，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



点击“确定”按钮完成配置，此时录制波形配置界面配置完成，如下图所示：



点击“开始”按钮，录波功能正式启动，此时我们可以看到界面上的波形录制按钮变成闪烁红色，如下图所示：

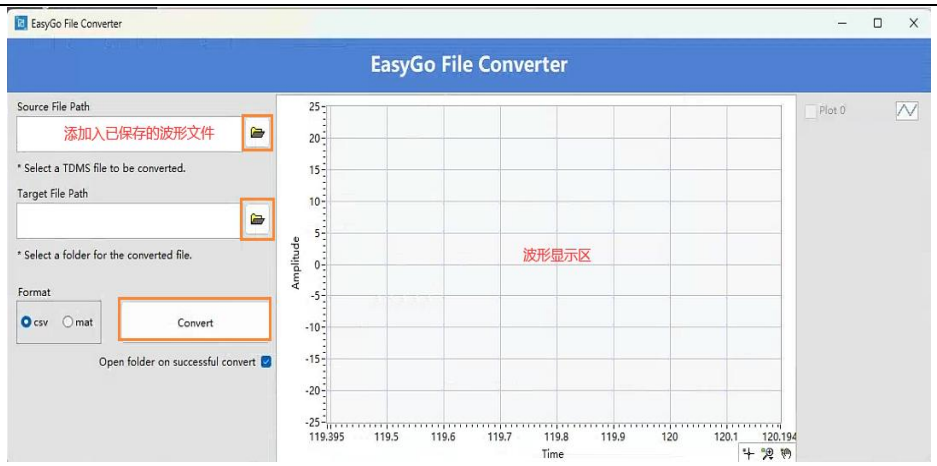


在这个录波状态下，程序运行过程中，模型文件中 Scope 模块配置的所有的有效信号均会实时记录下来。

波形查看

完成波形录制后，在 DeskSim 软件界面工具栏中，找到工具按键，点击后打开选择“文件转换器”选项，在“Source File Path”框中右侧，鼠标左击打开文件添加功能，将已保存的录波文件添加入对话框中，即可查看实时波形数据，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



注：录制的波形文件为*.tdms 格式的，具体如何查看波形文件以及波形文件格式转换，请参考 EasyGo DeskSim 的帮助文档中的工具箱说明部分。波形的录制时间控制在大约 2-3 分钟左右，以便观察波形实时变化结果，否则会导致文件过大，内存不足。

暂停程序

点击软件工具栏的按钮即可随时暂停程序。暂停后，可以看到界面上的暂停按钮变成红色的，如下图所示：



注意：

◆ 暂停功能只是暂停主界面的波形更新或数值显示控件的数据更新，便于用户查看暂停瞬时前的一段时间的数据或波形；

◆ 暂停功能对实时仿真机中的程序不影响；

◆ 暂停功能对波形录制也不影响，上下位机的数据交互始终没有间断；

停止程序

点击软件工具栏的按钮即可停止程序。

保存项目文件

全部运行完成后，为了便于下一次打开直接使用，可以对上述所有的配置操作进行保存管理，保存成 DeskSim 软件专属的项目文件（*.desksim）。

点击工具栏中的保存按钮，选择路径，修改名称，即可完成保存。下次

Copyright © EasyGo-Tech. All Rights Reserved.

打开时，可以点击软件工具栏中的打开按钮，载入以前保存的项目文件，或者直接双击项目文件，直接打开软件并载入项目文件。

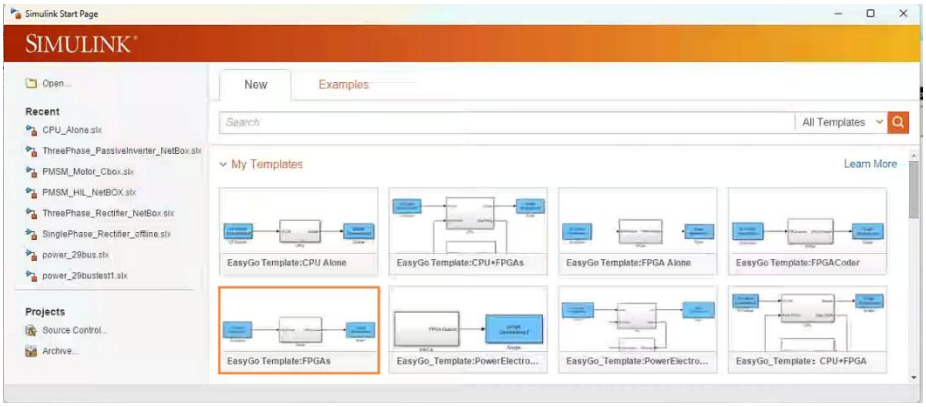
Copyright © EasyGo-Tech. All Rights Reserved.

Template 5：FPGAs

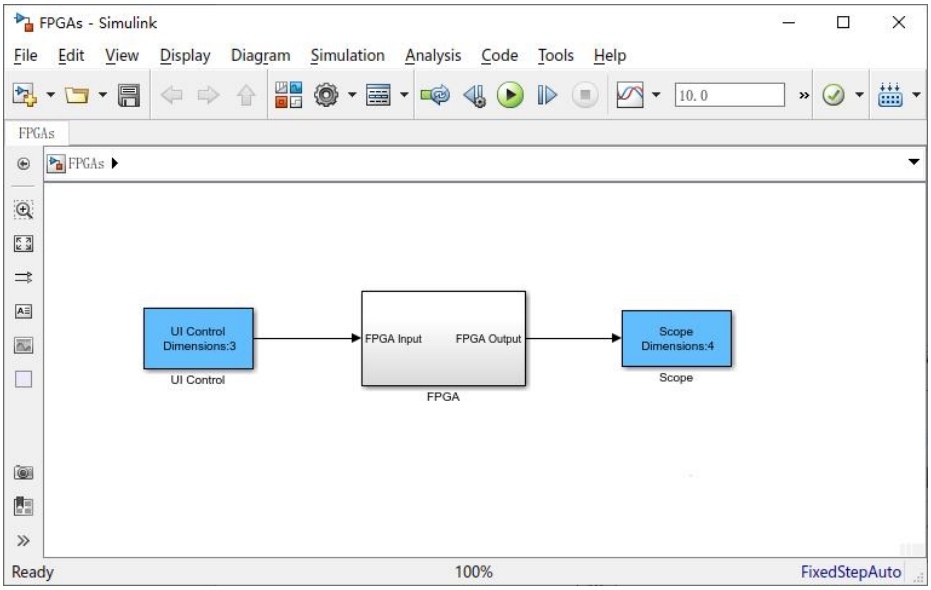
FPGAs 模型是利用 EasyGo Real-Time 函数库建立用于多块 FPGA 联合仿真的实时模型框架，即在实际仿真过程中使用多块 FPGA 板卡进行仿真，并将仿真结果上传至上位机观察或交互至工业通讯端口。

准备程序

打开 Matlab 软件，点击启动 Simulink，在“Simulink Start Page”界面中点击“EasyGo Template：FPGAs”创建出 FPGAs 的框架模型，如下图所示：



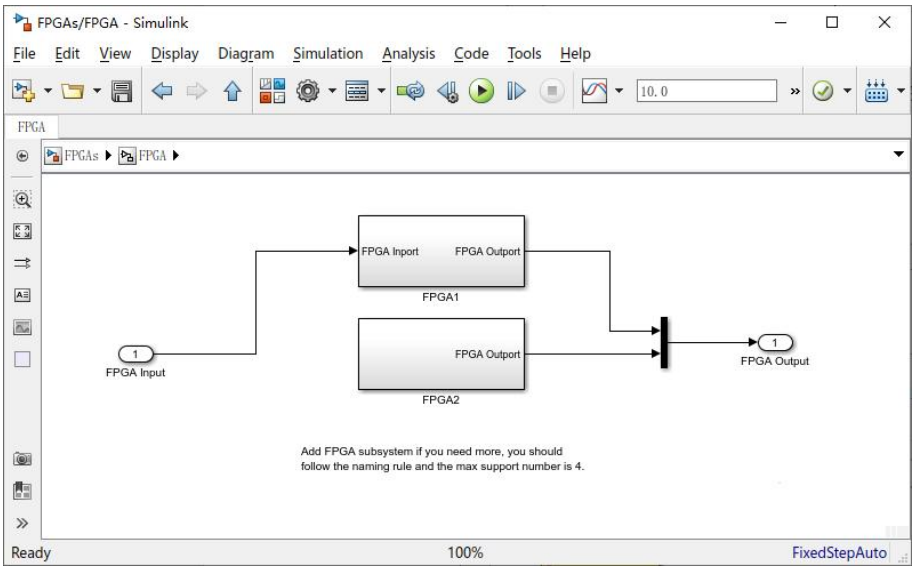
新建出来的原始模型是未保存的，将其保存成“FPGAs.slx”，如下图所示：



由于是多卡 FPGA 仿真模型仿真程序，所以核心代码在“FPGA”子系统里面。

Copyright © EasyGo-Tech. All Rights Reserved.

双击打开“FPGA”子系统，如下图所示：



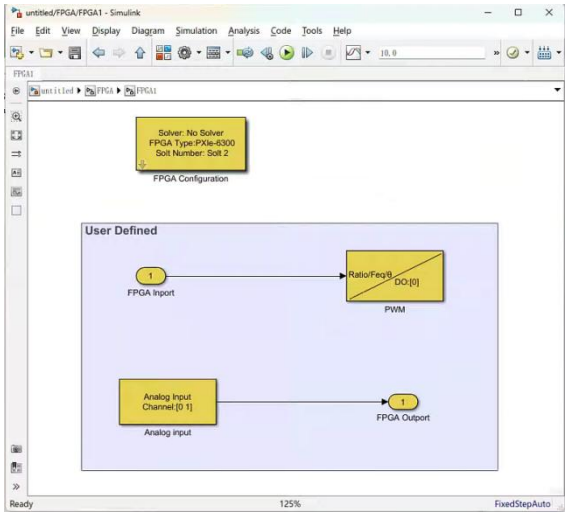
由于程序是多块 FPGA 板卡联合仿真的程序，所以在 FPGA 子系统中又包含多个子系统，如上图中显示的：FPGA1、FPGA2，即代表着两块不同的 FPGA 板卡，每个 FPGA 板卡上都有自己的程序。

用户在使用多个 FPGA 板卡联合仿真时，模型搭建方面需要注意以下几点：

- 如果用户使用多块 FPGA 板卡仿真时，一定要将所有板卡全部放在这个“FPGA”子系统里面；且每块板卡上的程序都需要独立在一个子系统里面，子系统命名规则为“FPGA+序号”；
- 所有板卡的子系统的输入输出信号最终需要全部合并在一个端口上与 CPU 交互或直接与顶层交互模块交互（在没有 CPU 模型的情况下）；

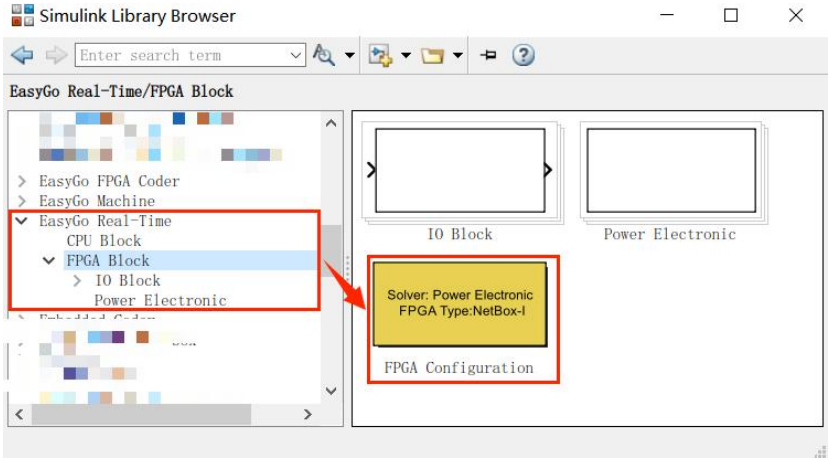
双击打开“FPGA1”子系统，如下图所示：

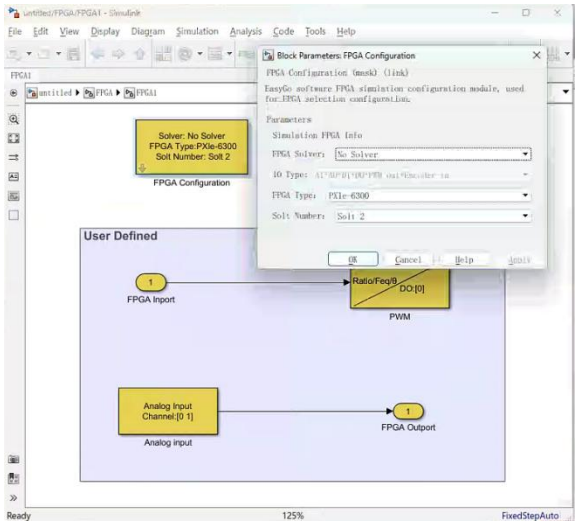
Copyright © EasyGo-Tech. All Rights Reserved.



在“FPGA1”子系统中可以看到 FPGA 生成 PWM 波的程序，同时附带两路模拟信号采集（部分模块的详细说明可参考 EasyGo RealTime Block 帮助文档）。

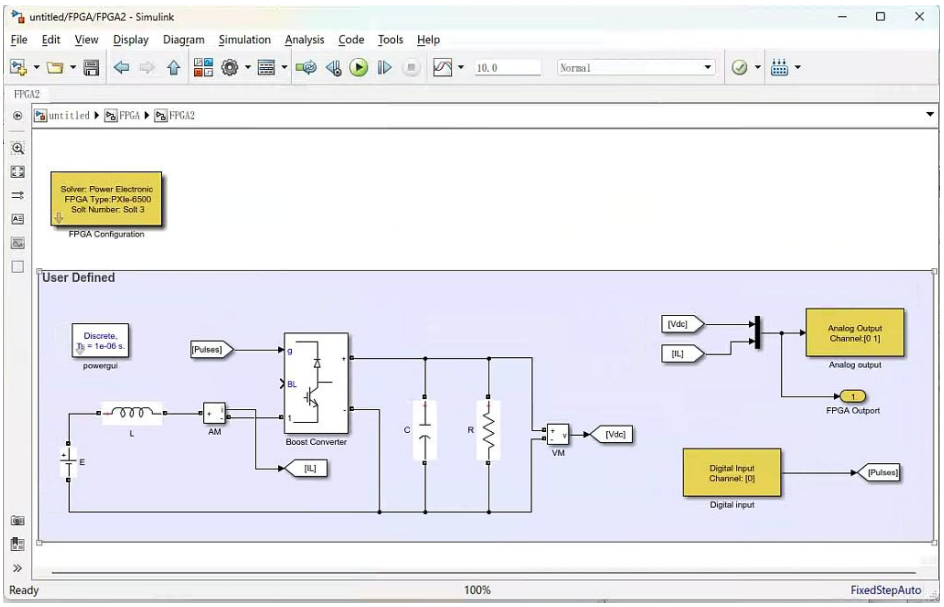
注意：每一个 FPGA 板卡都必须配有一个“FPGA Configuration”模块，如下图所示，在该模块中用户需要根据自己实际的硬件信息及 FPGA 算法的用途进行配置，详细说明可参考 EasyGo RealTime Block 帮助文档。





Copyright © EasyGo-Tech. All Rights Reserved.

双击打开“FPGA2”子系统，如下图所示：

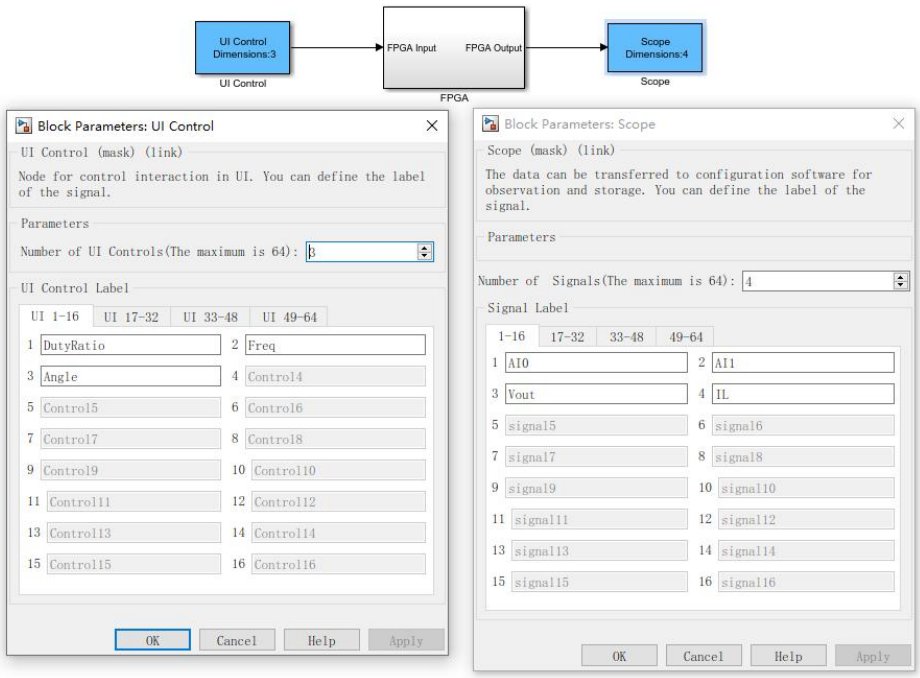


在“FPGA2”子系统中可以看到 FPGA 程序是一个电力电子算法，同时附带硬件 IO 上的数字信号采集及模拟信号输出（部分模块的详细说明可参考 EasyGo RealTime Block 帮助文档）。

返回主程序，分别打开输入端“UI Ctrl”和输出端“Scope”的配置窗口，如下图所示：这里把所有需要在 DeskSim 软件界面控制的信号全部配置在“UI Control”模块中，把所有需要在 DeskSim 软件界面上观察的信号全部配置在“Scope”模块中，同时在连入子系统后的“UI Control”的信号根据程序的需要解绑连入程序中，将程序输出的信号根据需要按顺序捆绑在一起输出至“Scope”模块中。

注意：程序中所有与主界面交互的数据必须通过“UI Control”模块和“Scope”模块进行交互，程序中存在的其他的输入输出信号均不支持在 DeskSim 软件上进行控制或显示，且同一个程序有且最多支持一个“UI Control”模块或“Scope”模块。（通讯模块使用方式同理，详细说明可参考 EasyGo RealTime Block 帮助文档）。

Copyright © EasyGo-Tech. All Rights Reserved.



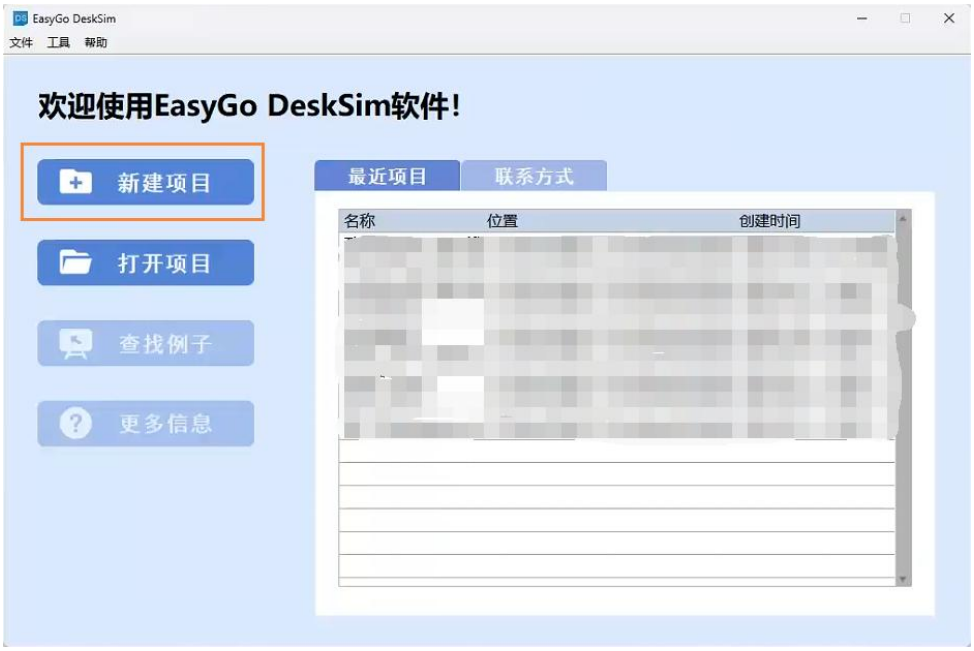
由此可知，整个程序实现的功能是输入端输入占空比、频率、角度信号，输出端为电力电子算法中电压电流及模拟采集信号。

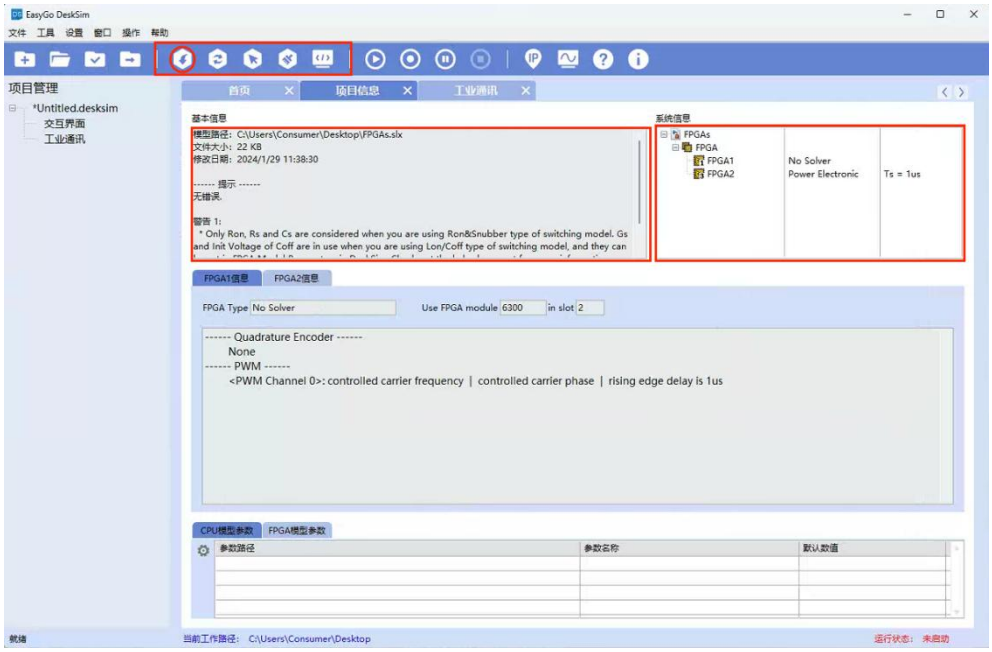
注：用户可以根据自己的 FPGA 上的算法修改 “FPGA”子系统中的代码，以及对应修改输入输出端口的信号名称及数量。

导入程序

启动 EasyGo DeskSim 软件，在初始界面点击新建项目，新建工程文件后，再在工具栏界面中点击“载入模型”按钮载入程序文件；

Copyright © EasyGo-Tech. All Rights Reserved.





载入文件后，软件会分析得到程序的基本信息。

注意：

◆如果模型中存在错误，用户需要把错误信息全部处理掉，才能进行实时运行；

◆如果需要修改或者打开模型文件，可以点击“编辑模型”按钮打开模型文件进行修改或查看；

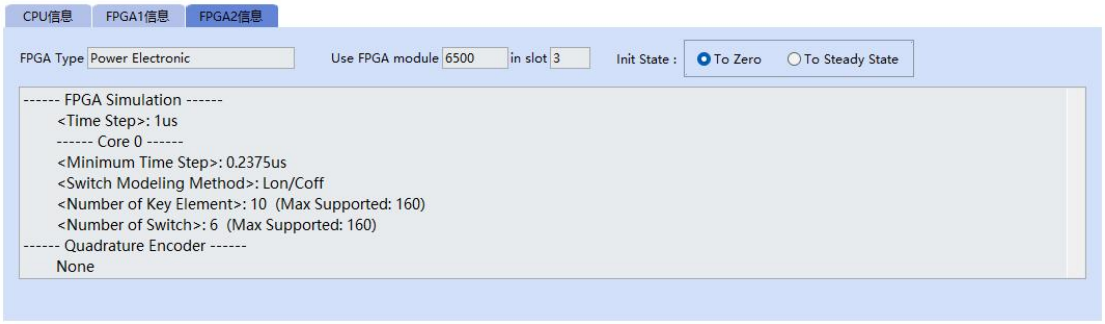
◆如果用户载入的模型文件发生了修改，在界面中可以点击“刷新模型”按钮进行更新。

Copyright © EasyGo-Tech. All Rights Reserved.

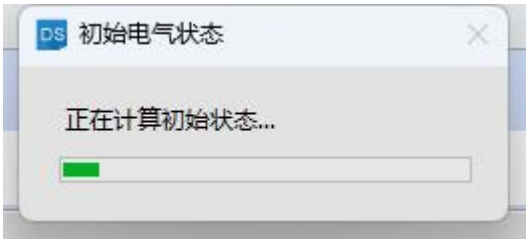
仿真配置

FPGA 模型初始化

对于使用了 FPGA 模型的程序，在 FPGA 模型为电力电子算法模型时，用户可根据实际需要对电力电子算法模型的初始状态进行处理，如下图所示：



如果需要初始化操作的话，点击“Init State”勾选框中的“To Steady State”选项，之后会弹出确认对话框，确认后开始对模型进行初始化处理，该过程会持续几分钟，如下图所示：



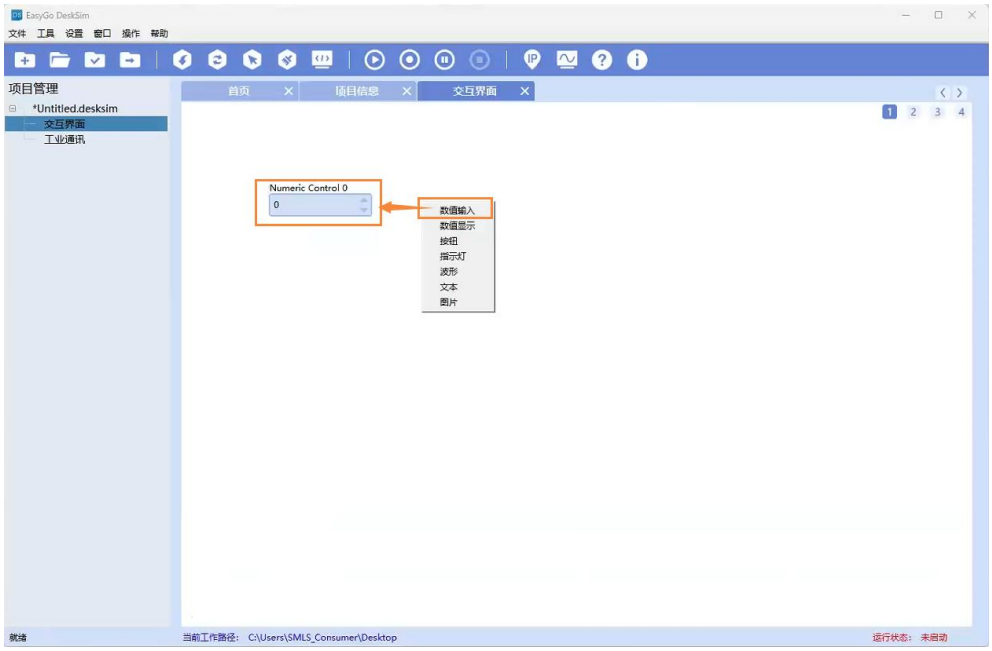
初始化完成后，模型在运行时会预先导入初始状态量进行电力电子拓扑仿真。

添加自定义界面

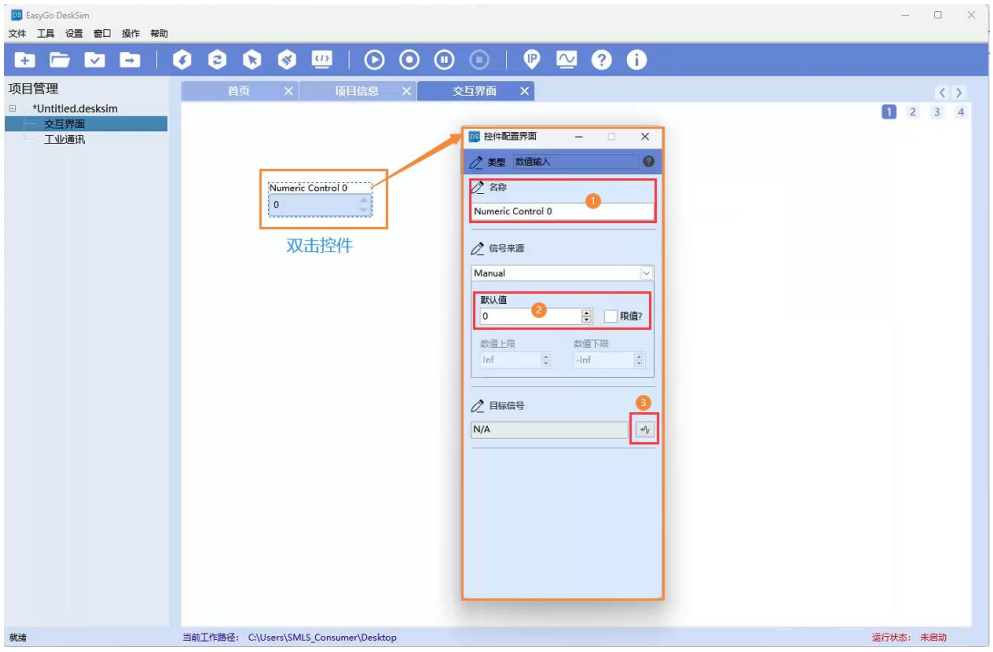
添加 UI 界面的控制输入

DeskSim 主界面切换至交互界面，在界面中单击右键，会弹出控件菜单，点击“数值输入”，并在空白编辑区域选择合适位置释放，即完成一个 Numeric Control 控件的添加，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



添加完成之后，点击选中这个控件，界面右侧栏会显示这个控件的配置内容，可选择信号绑定的对象（程序的所有输入端），修改名称和初始值；点击信号选择按钮，在弹出的信号列表中选择需要绑定的信号，如“DutyRatio”，选中后，控件名称会同步更新为信号名称，用户可以使用信号名称或手动修改名称，设置完成后，设置初始参数为“0.5”，如下图所示：



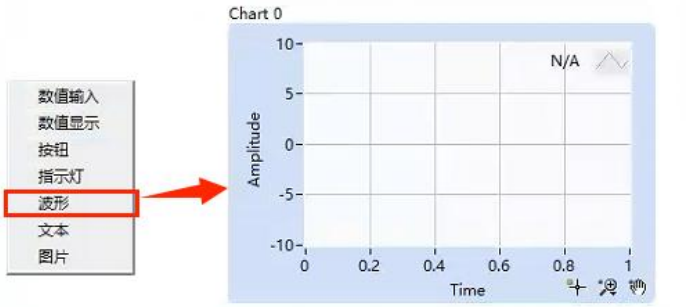
同样的方式，将程序的三个输入端口都绑定到界面的控件之后可以得到：

Copyright © EasyGo-Tech. All Rights Reserved.

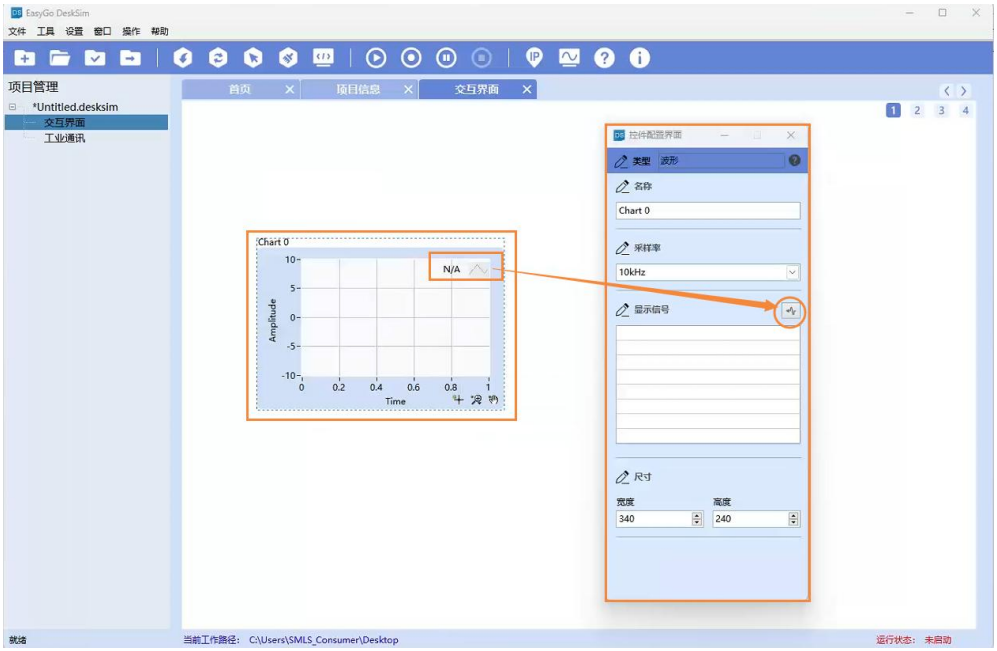


添加 UI 界面的波形显示

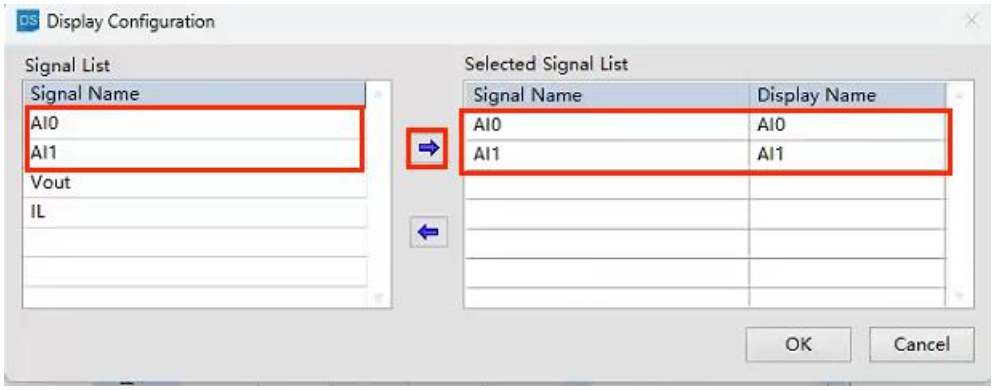
在交互界面的空白位置右键调出控件选板，左键点击“波形”，并将其在空白编辑区域释放，即完成一个 Chart 控件的添加，如下图所示：



选中 Chart 控件，在右侧显示的配置区域中可以选中显示的信号源（程序的所有输出信号均可显示）。



Copyright © EasyGo-Tech. All Rights Reserved.

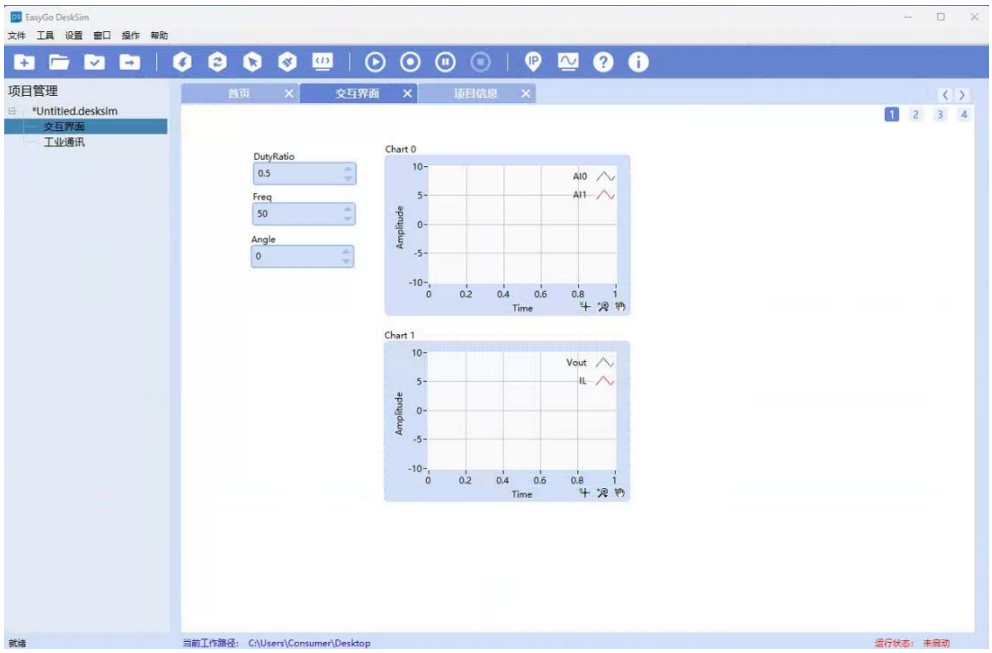


并可以修改 Chart 的名称、采样率和大小。



同样的方式，添加 Vout、IL 的波形显示。

配置完成后，可以得到最终的自定义界面，如下图所示：



程序运行

配置仿真机的网络信息

点击 DeskSim 软件工具栏的按钮，即可打开仿真机的网络配置窗口，

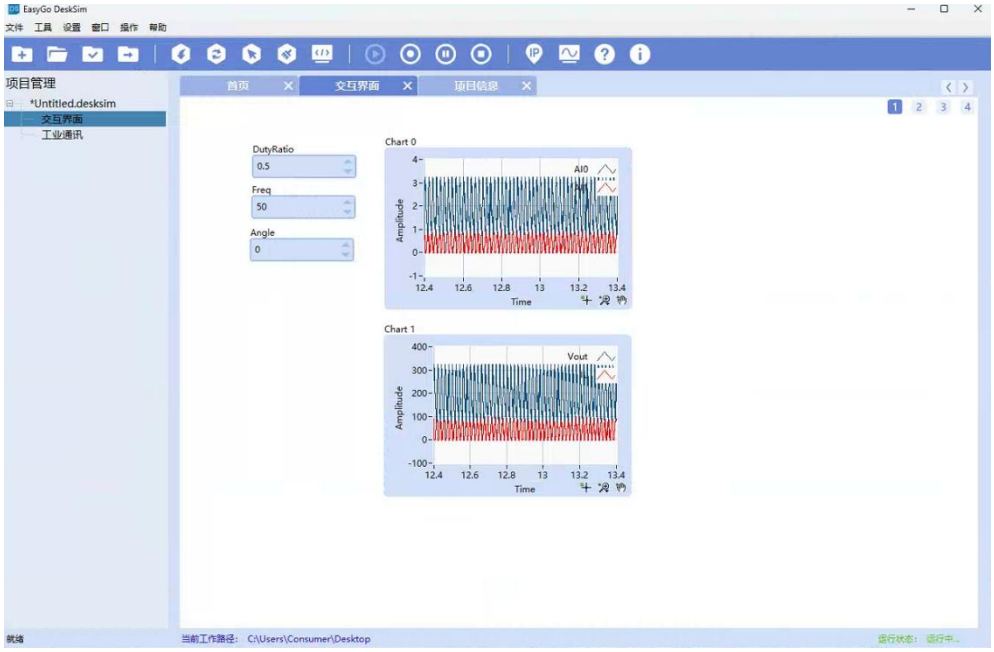
Copyright © EasyGo-Tech. All Rights Reserved.

设置好 IP 地址、端口号等信息。



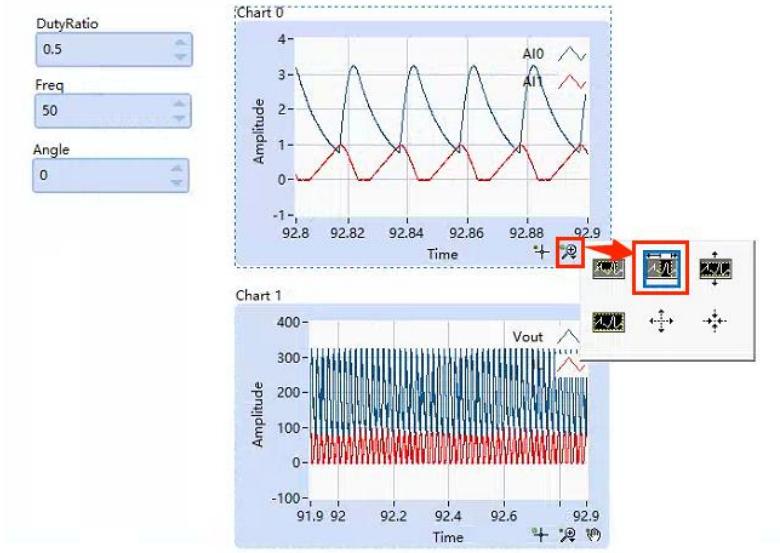
运行程序

点击软件工具栏的按钮即可运行程序。

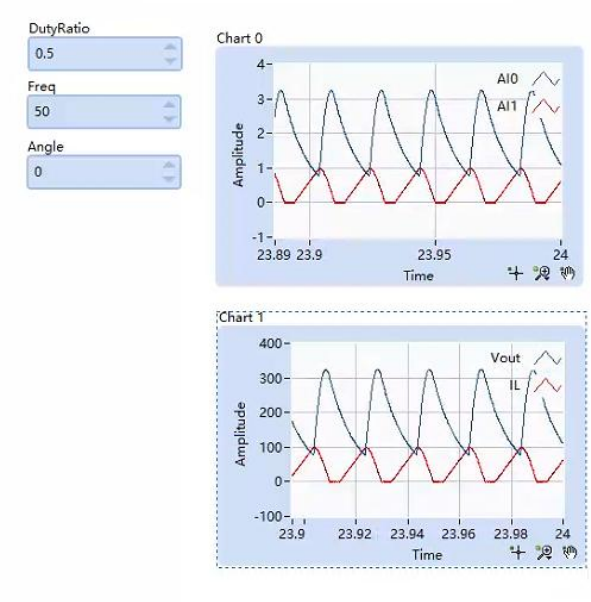


此时波形观察不完整，可以通过波形图的工具调整显示范围，或者右键波形图在快捷菜单中选择调整范围标尺，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



调整完成后，可以比较完整详细的观察到波形，如下图所示：

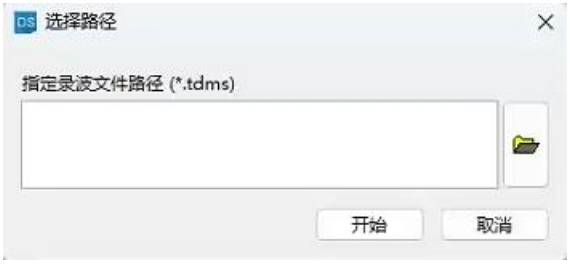


可以实时调整占空比的值来观察实际波形的变化情况。具体现象不再详述。同时运行过程中还可以动态修改附加区中 FPGA Model Parameter 的参数，具体参考 EasyGo DeskSim 软件的帮助文档中的相关说明，由于模型比较简单，所以没有使用动态修改参数功能。

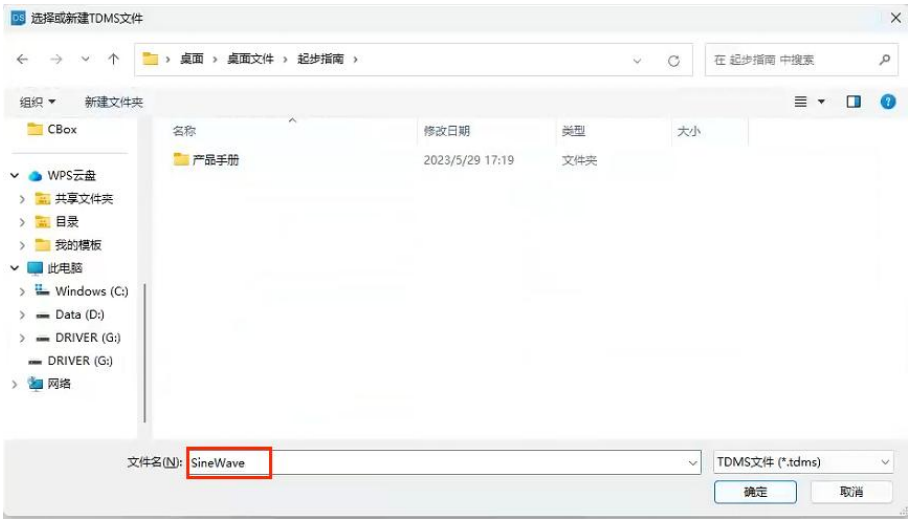
波形录制

点击软件工具栏的按钮，弹出录制波形配置界面，如下图所示：

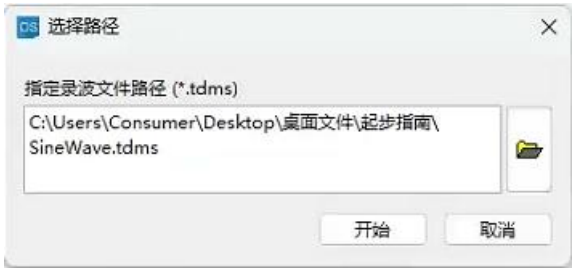
Copyright © EasyGo-Tech. All Rights Reserved.



点击路径配置按钮，弹出路径选择对话框，选好存储路径后，配置好波形文件的名称，如下图所示：



点击“确定”按钮完成配置，此时录制波形配置界面配置完成，如下图所示：



点击“开始”按钮，录波功能正式启动，此时我们可以看到界面上的波形录制按钮变成闪烁红色，如下图所示：



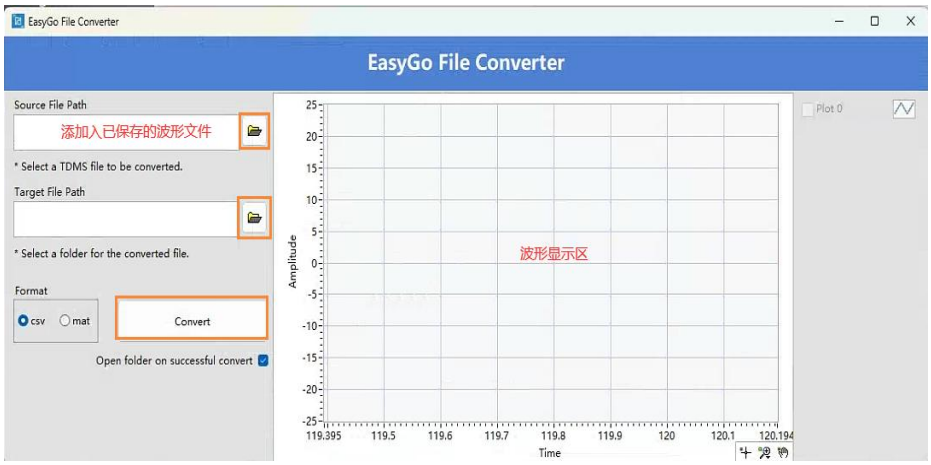
在这个录波状态下，程序运行过程中，模型文件中 Scope 模块配置的所有的有效信号均会实时记录下来。

波形查看

完成波形录制后，在 DeskSim 软件界面工具栏中，找到工具按键，点击后打开选择“文件转换器”选项，在“Source File Path”框中右侧，鼠标左击打开

Copyright © EasyGo-Tech. All Rights Reserved.

文件添加功能，将已保存的录波文件添加入对话框中，即可查看实时波形数据，如下图所示：



注：录制的波形文件为*.tdms 格式的，具体如何查看波形文件以及波形文件格式转换，请参考 EasyGo DeskSim 的帮助文档中的工具箱说明部分。波形的录制时间控制在大约 2-3 分钟左右，以便观察波形实时变化结果，否则会导致文件过大，内存不足。

暂停程序

点击软件工具栏的按钮即可随时暂停程序。暂停后，可以看到界面上的暂停按钮变成红色的，如下图所示：



注意：

◆ 暂停功能只是暂停主界面的波形更新或数值显示控件的数据更新，便于用户查看暂停瞬时前的一段时间的数据或波形；

◆ 暂停功能对实时仿真机中的程序不影响；

◆ 暂停功能对波形录制也不影响，上下位机的数据交互始终没有间断；

停止程序

点击软件工具栏的按钮即可停止程序。

保存项目文件

全部运行完成后，为了便于下一次打开直接使用，可以对上述所有的配置操作进行保存管理，保存成 DeskSim 软件专属的项目文件（*.desksim）。

Copyright © EasyGo-Tech. All Rights Reserved.

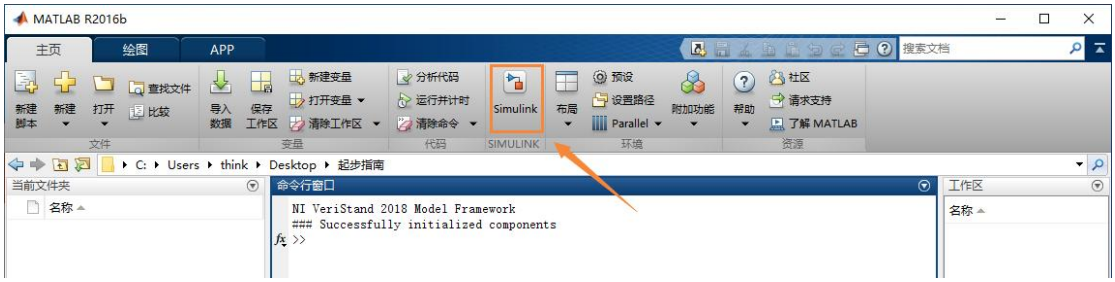
点击工具栏中的保存按钮，选择路径，修改名称，即可完成保存。下次打开时，可以点击软件工具栏中的打开按钮，载入以前保存的项目文件，或者直接双击项目文件，直接打开软件并载入项目文件。

Copyright © EasyGo-Tech. All Rights Reserved.

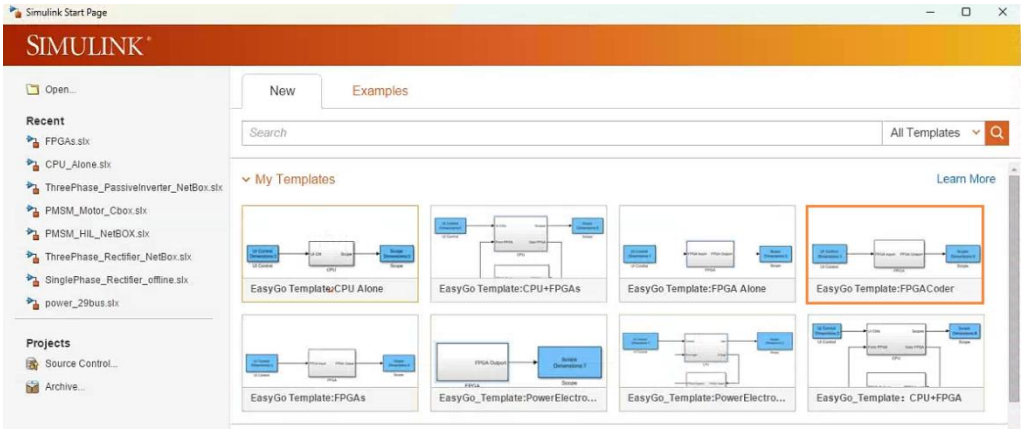
EasyGo FPGA Coder

EasyGo FPGA Coder 是 EasyGo 公司研发的一个基于 FPGA 的快速算法开发技术，能将用户基于 Simulink 开发的算法快速实现在 FPGA 上，无需经过传统的编译过程，大大增加 FPGA 的开发速率，降低 FPGA 的使用门槛。

当正常安装完 EasyGo FPFA Coder 软件后，打开 Matlab 软件，点击启动 Simulink，如下图所示：

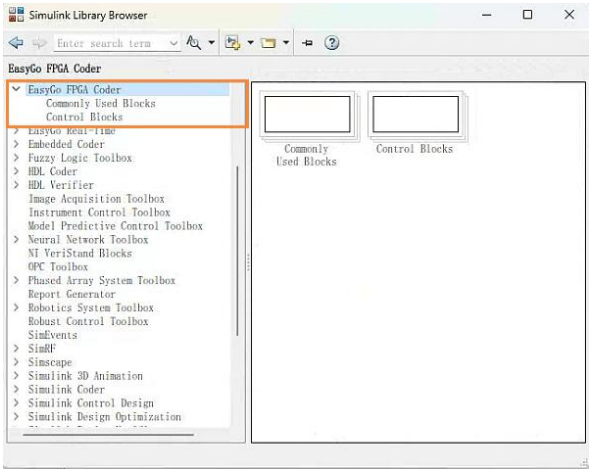


启动 Simulink 后，弹出“Simulink Start Page”， 在该页面中可以看到在“My Templates”目录下，会有 8 个“EasyGo Template”命名的模板文件，可以根据不同的需求打开不同的模板进行快速模型搭建。



打开“Simulink Library Browser”页面，在该页面中可以看到“EasyGo FPGA Coder”函数库，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



利用 EasyGo FPGA Coder 函数库配合 EasyGo Real-Time 函数库及提供的 FPGA Coder 的模板模型可以实现快速搭建模型。

接下来，根据 FPGA Coder 框架模型，依照流程进行说明。

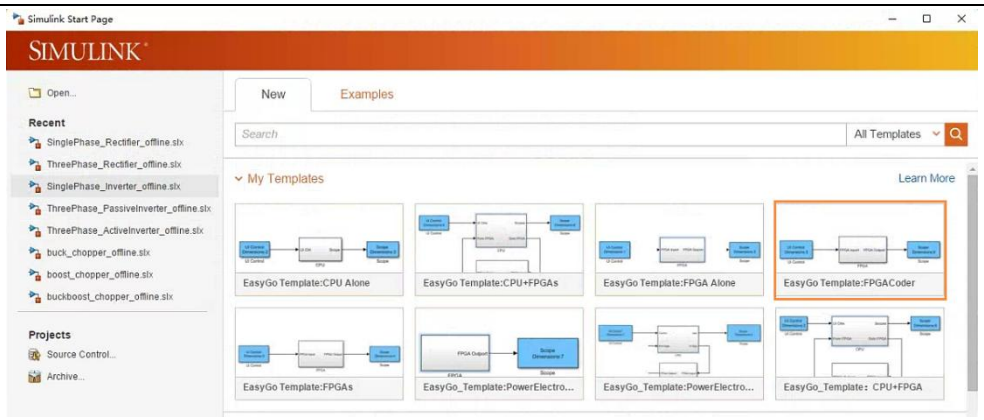
Template ：EasyGo FPGA Coder

FPGACoder 是利用 EasyGo FPGA Coder 函数库配合 EasyGo Real-Time 函数库建立用于纯 FPGA 仿真的实时模型框架，即在实际仿真过程中使用 FPGA 板卡进行仿真，并将仿真结果上传至上位机观察或交互至工业通讯端口。如果用户需要在其他框架下使用 FPGA Coder 的功能，可以将 FPGA 下的程序复制到其他框架的 FPGA 中使用。

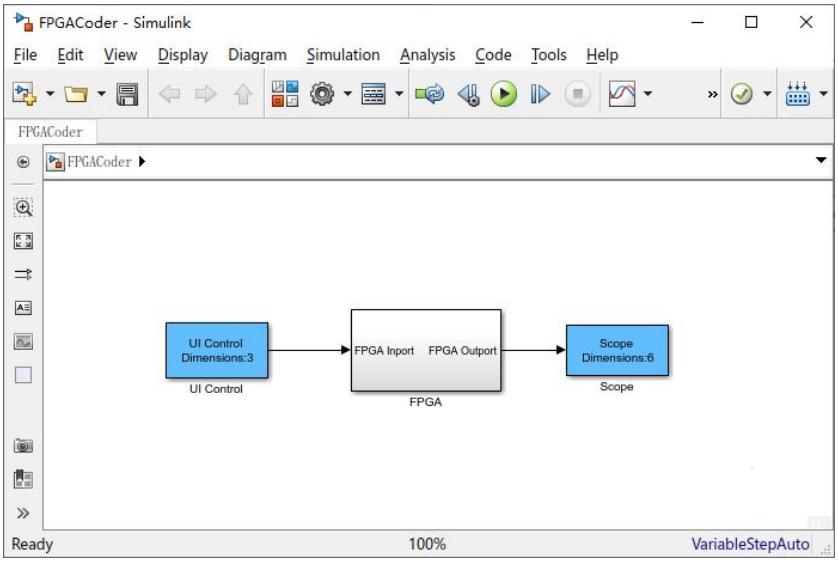
准备程序

打开 Matlab 软件，点击启动 Simulink，在“Simulink Start Page”界面中点击“EasyGo Template：FPGA Coder”创建出 FPGA Coder 的框架模型，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.

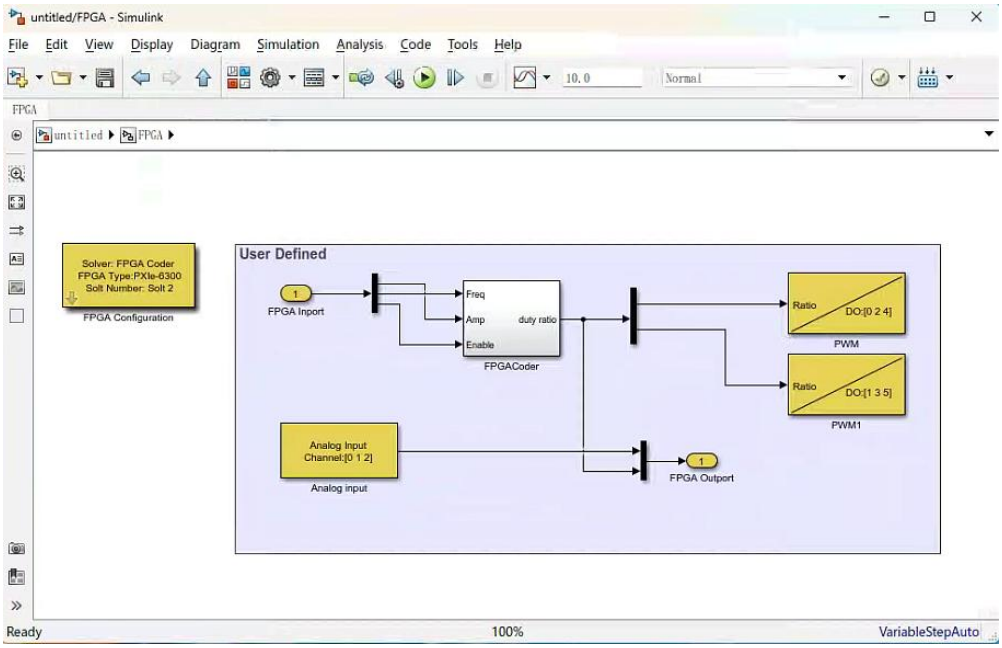


新建出来的原始模型是未保存的，将其保存成“FPGACoder.slx”，如下图所示：



由于是 FPGACoder 仿真模型仿真程序，所以核心代码都在“FPGA”子系统中，双击打开“FPGA”子系统，如下图所示：

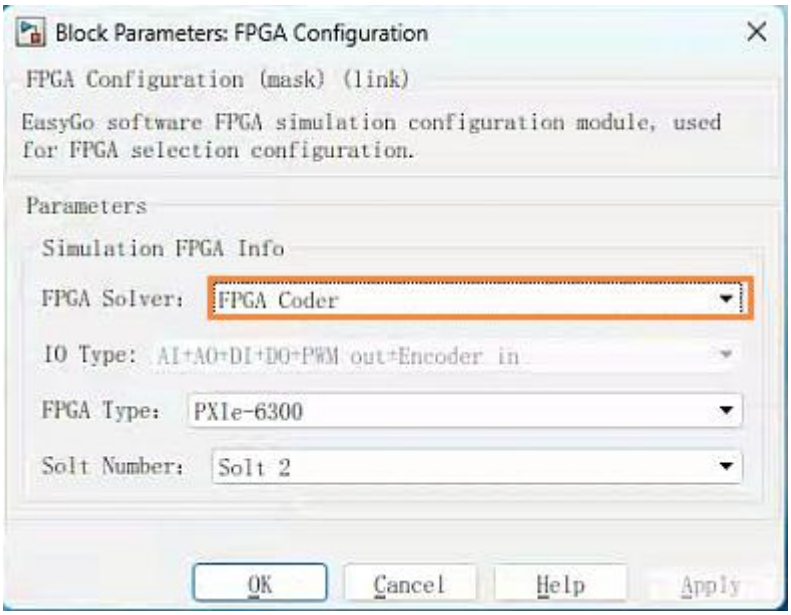
Copyright © EasyGo-Tech. All Rights Reserved.



由于程序是使用的单块 FPGA 板卡作为 FPGACoder 仿真的程序，所以只有一个 FPGA 子系统，如果用户使用多 FPGA 仿真，可以参考“FPGAs”框架来调用 FPGACoder 仿真程序。在该“FPGA”子系统中可以看到还包含一个“FPGACoder”子系统及外围交互的模型代码，在调用 FPGACoder 建立算法时，模型必须要放在这个“FPGACoder”子系统内。除了核心的“FPGACoder”子系统外，外围只支持配置模块及基础的 IO 模块。

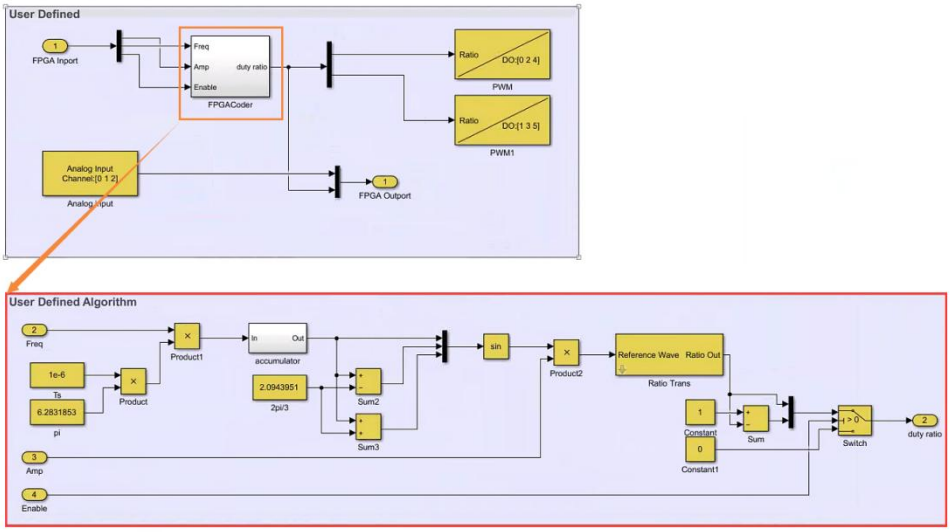
用户在使用 EasyGo FPGA Coder 仿真时，模型搭建方面需要注意以下几点：

◆ FPGA Configuration 中的 FPGA Solver 需要选择为 FPGA Coder。



Copyright © EasyGo-Tech. All Rights Reserved.

◆ FPGA Coder 的算法需要放在 FPGACoder 的子系统内，输入输出的个数和维数可以自己定义。



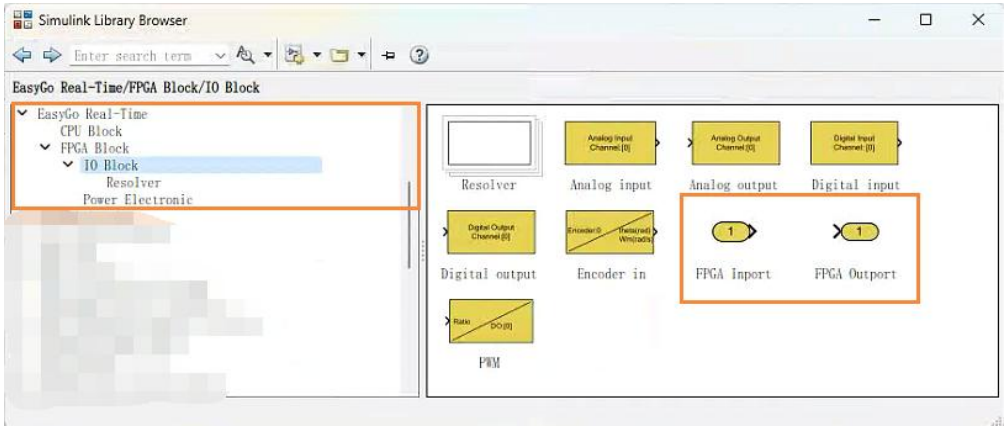
◆ 在一个 FPGA 子系统里只能有一个 FPGACoder 子系统。

◆ FPGACoder 子系统所在的 FPGA 子系统中，除了核心“FPGACoder”子系统外，只支持配置模块及基础的 IO 模块。

Template 中提供了一个简单的三相正弦波的生成算法，用户可以根据自己的需要进行任意搭建。编辑 FPGA Coder 算法有以下几个注意事项：

输入输出端口

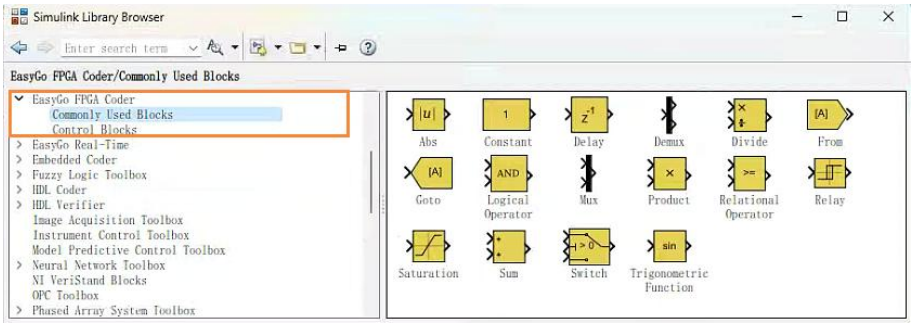
◆ 在 FPGACoder 最上层的输入输出端口，需要用 EasyGo Real-Time>>FPGA Block>>IO Block 下的 FPGA Inport 和 FPGA Outport 这两个端口，并需要正确设置端口的维数。如果是 FPGACoder 里面的子系统，就不需要用这两个端口模块，也不需要设置维数信息。

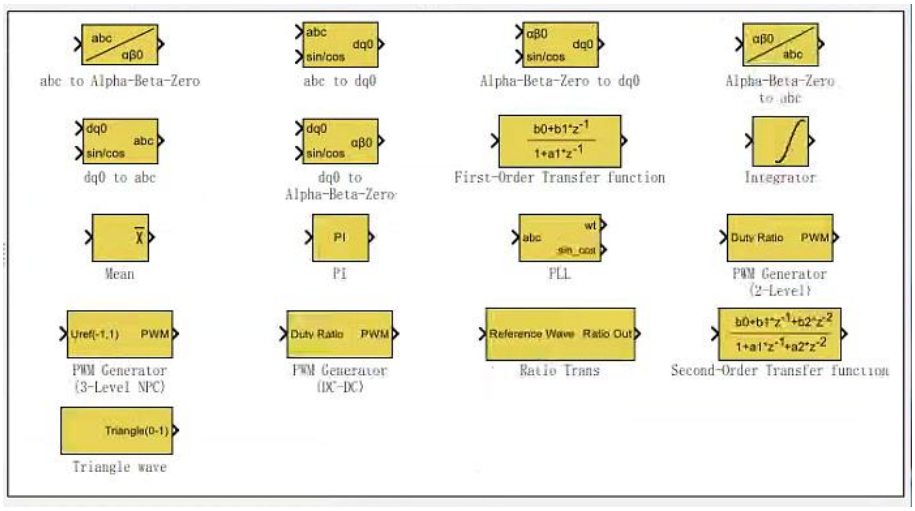


Copyright © EasyGo-Tech. All Rights Reserved.

函数模块

◆ 在 FPGACoder 子系统下的函数模块，都需要用 EasyGo FPGA Coder 库下的函数。

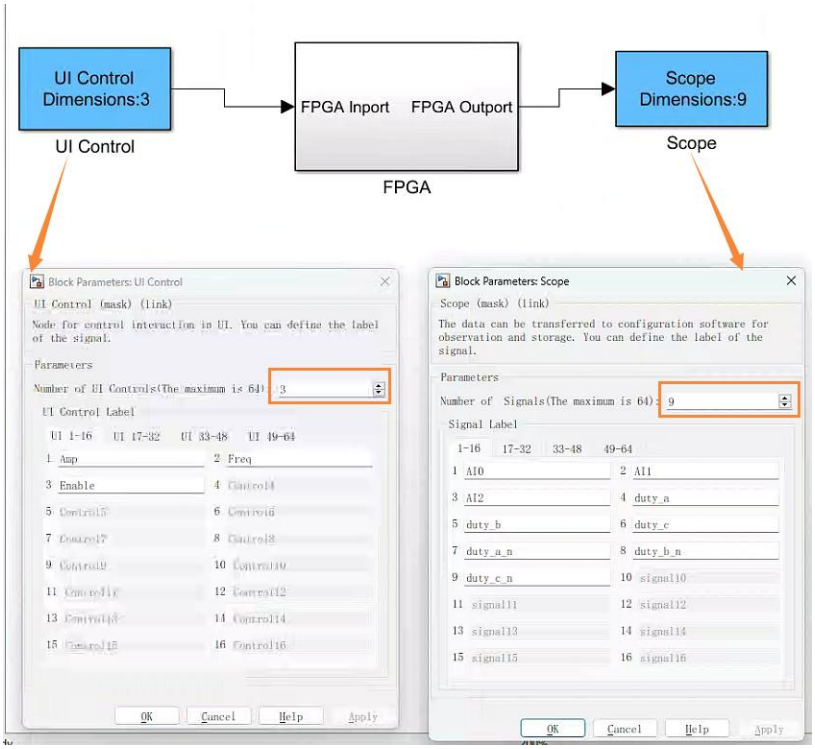




返回主程序，分别打开输入端“UI Ctrl”和输出端“Scope”的配置窗口，如下图所示：这里把所有需要在 DeskSim 软件界面控制的信号全部配置在“UI Control”模块中，把所有需要在 DeskSim 软件界面上观察的信号全部配置在“Scope”模块中，同时在连入子系统后的“UI Control”的信号根据程序的需要解绑连入程序中，将程序输出的信号根据需要按顺序捆绑在一起输出至“Scope”模块中。

注意：程序中所有与主界面交互的数据必须通过“UI Control”模块和“Scope”模块进行交互，程序中存在的其他的输入输出信号均不支持在 DeskSim 软件上进行控制或显示，且同一个程序有且最多支持一个“UI Control”模块或“Scope”模块。（通讯模块使用方式同理，详细说明可参考 EasyGo RealTime Block 帮助文档）。

Copyright © EasyGo-Tech. All Rights Reserved.



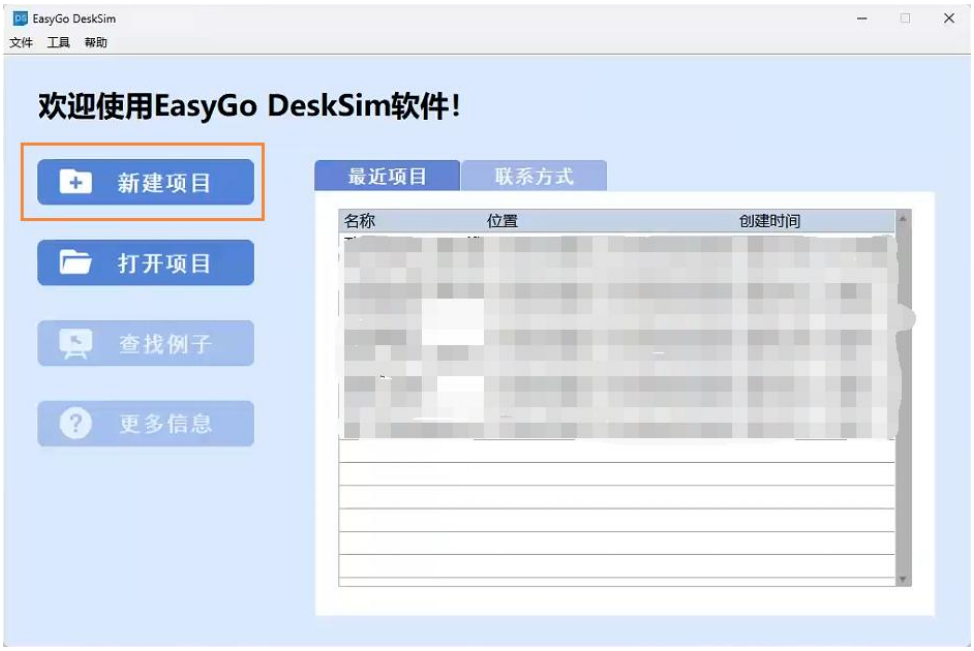
由此可知，整个程序实现的功能是输入端输入幅值、频率、使能信号，输出端为三路模拟采集及 FPGACoder 算法生成的三相波的瞬时值。

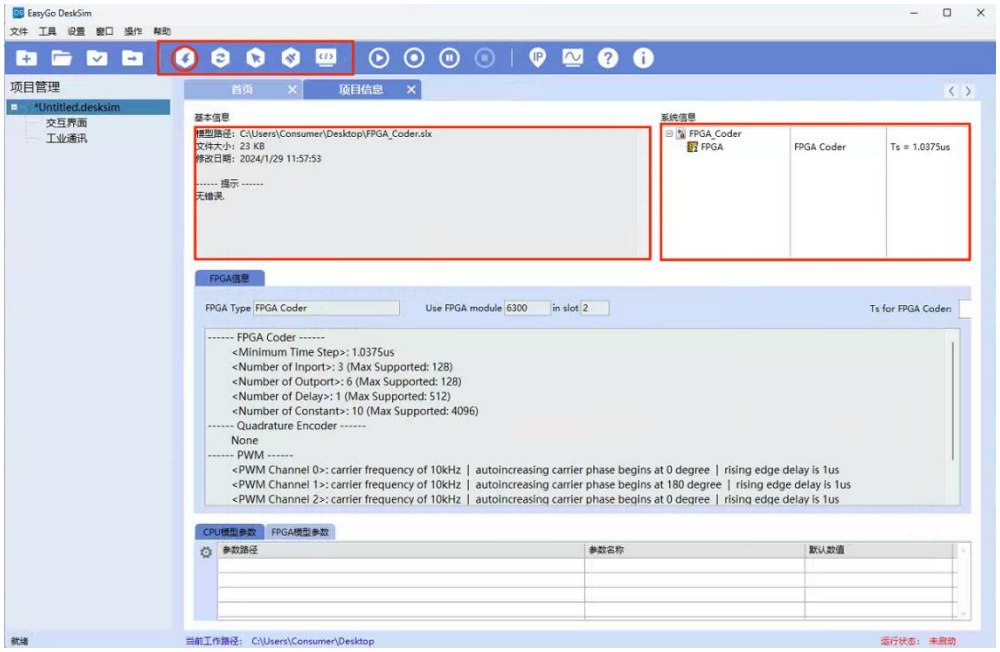
注：用户可以根据自己的 FPGA 上的算法修改 “FPGA”子系统中的代码，以及对应修改输入输出端口的信号名称及数量。

导入程序

启动 EasyGo DeskSim 软件，在初始界面点击新建项目，新建工程文件后，再在工具栏界面中点击“载入模型”按钮载入程序文件；

Copyright © EasyGo-Tech. All Rights Reserved.





载入文件后，软件会分析得到程序的基本信息。

注意：

◆如果模型中存在错误，用户需要把错误信息全部处理掉，才能进行实时运行；

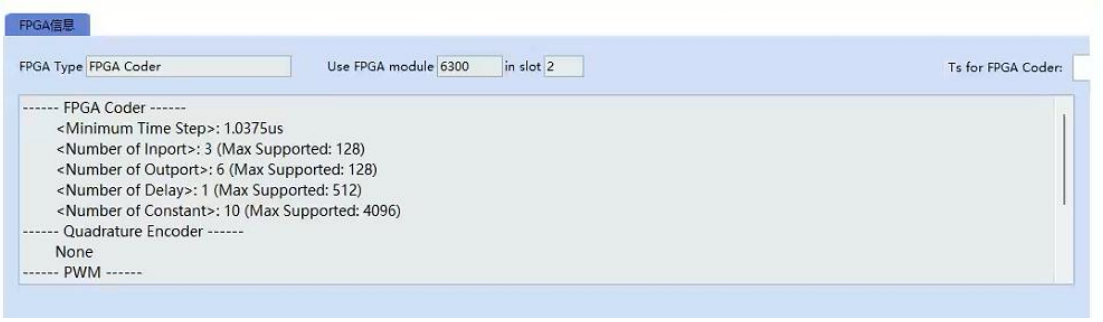
◆如果需要修改或者打开模型文件，可以点击“编辑模型”按钮打开模型文件进行修改或查看；

◆如果用户载入的模型文件发生了修改，在界面中可以点击“刷新模型”按钮进行更新。

Copyright © EasyGo-Tech. All Rights Reserved.

模型配置

对于使用了 FPGA Coder 的程序，软件会分析出 FPGA Coder 的规模参数以及改规模参数下最小的仿真步长，如下图所示：



Copyright © EasyGo-Tech. All Rights Reserved.

FPGA Coder Solver 仿真规模条件如下：

Minimum Time Step	最小的运行步长
Number of Inport	输入的数量，最大支持 128 个
Number of Outport	输出的数量，最大支持 128 个
Number of Delay	Delay 的数量，最大支持 512 个
Number of Constant	常数的数量，最大支持 4096 个

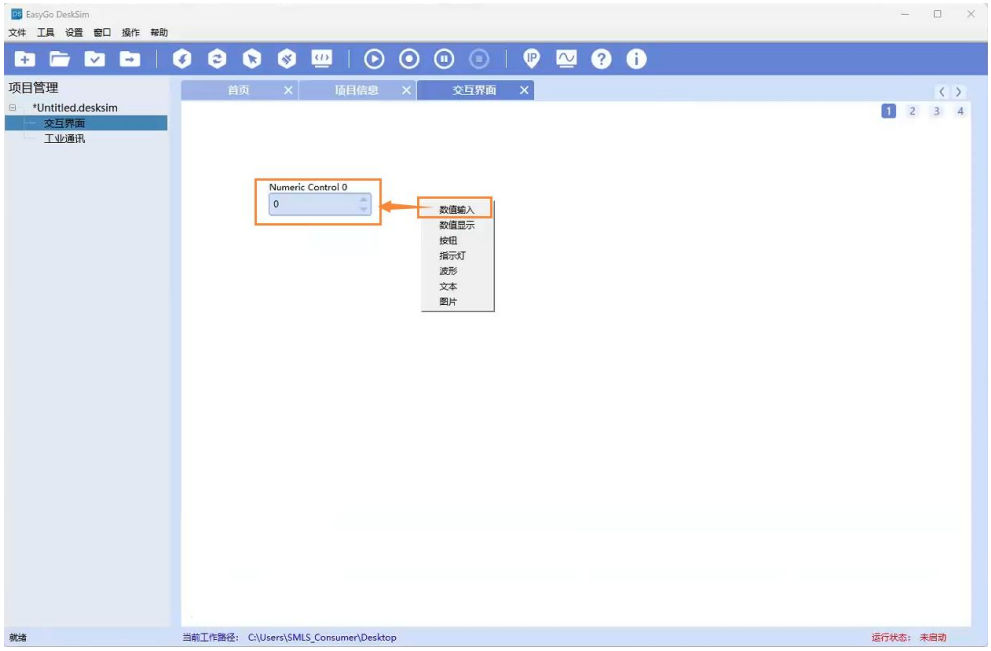
这里 DeskSim 默认显示的都是 FPGA Coder 算法在 FPGA 板卡上最小能够运行的步长，用户可以根据自己的需要修改 Ts 值，这里我们保持默认即可。

载入文件后，对于 FPGA Coder 的部分，不需要经过编译的过程就可以直接运行。

添加自定义界面

添加 UI 界面的控制输入

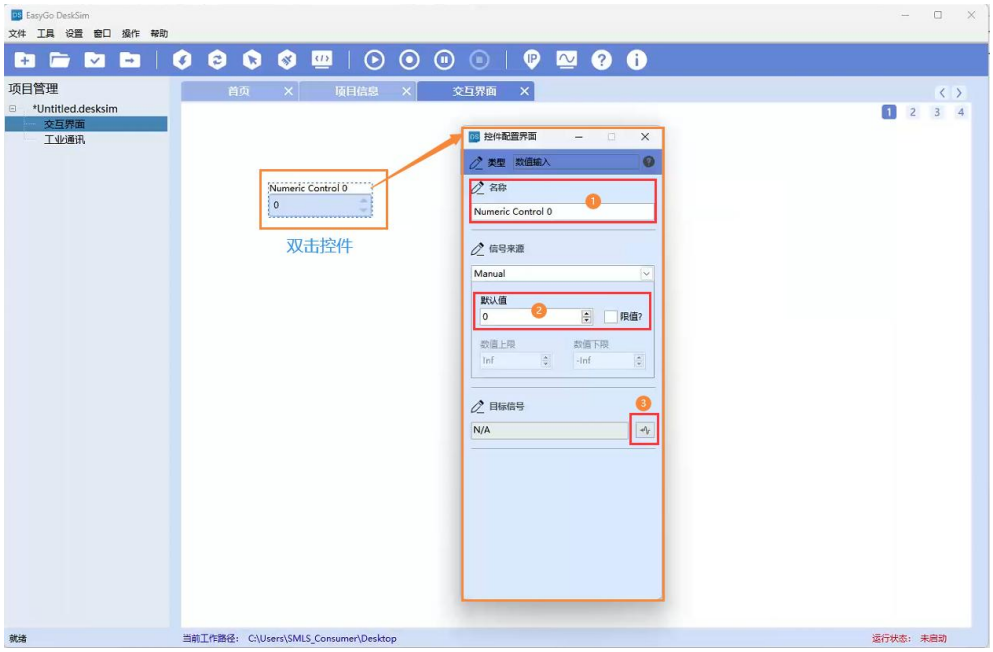
DeskSim 主界面切换至交互界面，在界面中单击右键，会弹出控件菜单，点击“数值输入”，并在空白编辑区域选择合适位置释放，即完成一个 Numeric Control 控件的添加，如下图所示：



添加完成之后，点击选中这个控件，界面右侧栏会显示这个控件的配置内容，

Copyright © EasyGo-Tech. All Rights Reserved.

可选择信号绑定的对象（程序的所有输入端），修改名称和初始值；点击信号选择按钮，在弹出的信号列表中选择需要绑定的信号，如“Freq”，选中后，控件名称会同步更新为信号名称，用户可以使用信号名称或手动修改名称，设置完成后，设置初始参数为“50”，如下图所示：



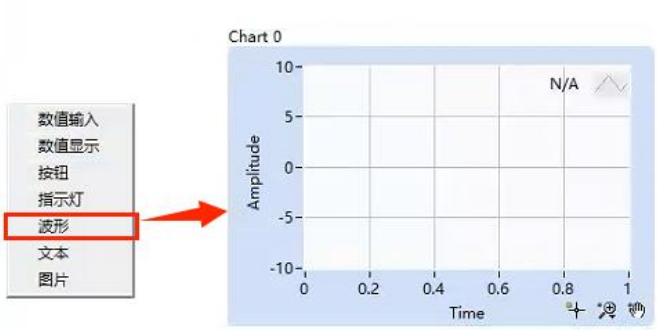
同样的方式，将程序的三个输入端口都绑定到界面的控件之后可以得到：



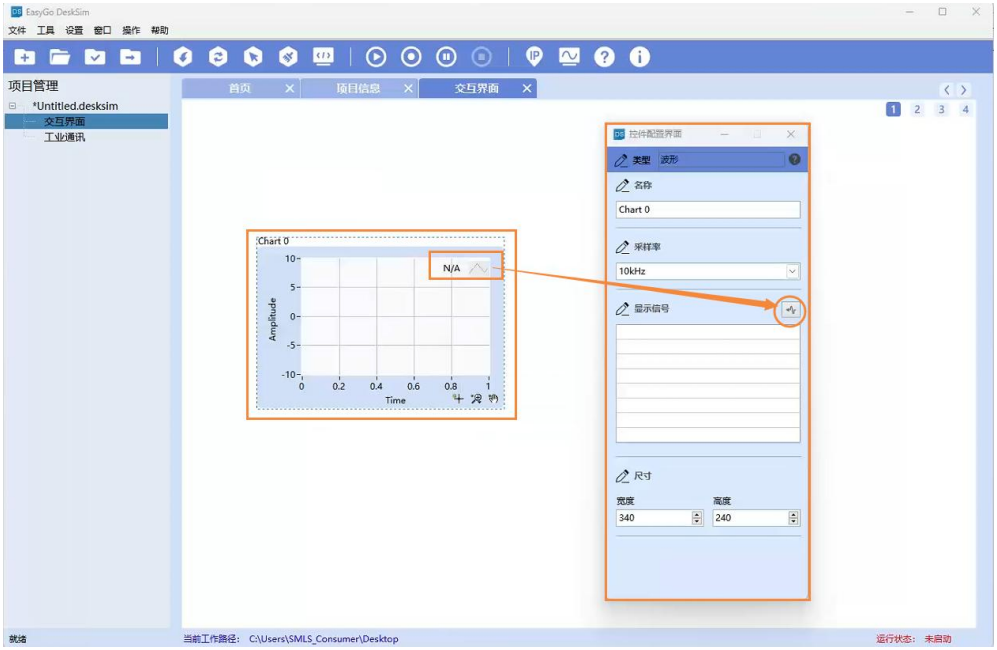
添加 UI 界面的波形显示

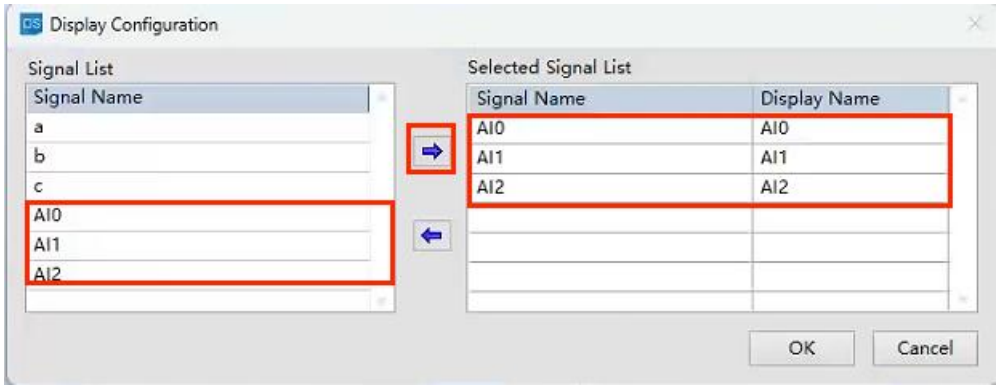
在交互界面的空白位置右键调出控件选板，左键点击“波形”，并将其在空白编辑区域释放，即完成一个 Chart 控件的添加，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



选中 Chart 控件，在右侧显示的配置区域中可以选中显示的信号源（程序的所有输出信号均可显示）。





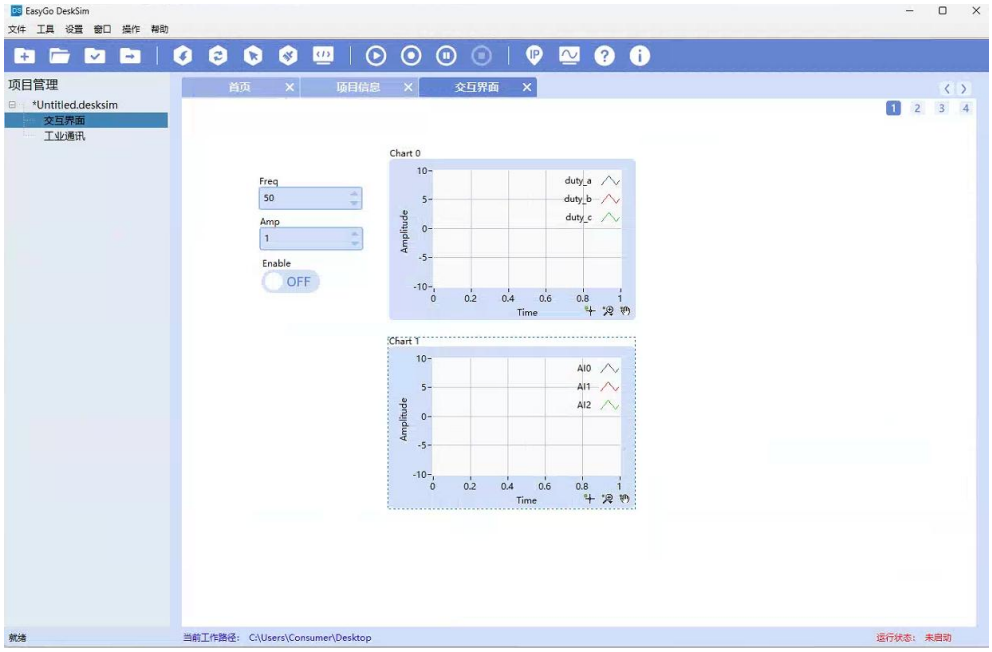
并可以修改 Chart 的名称、采样率和大小。

Copyright © EasyGo-Tech. All Rights Reserved.



同样的方式，添加 a，b，c 的波形显示。

配置完成后，可以得到最终的自定义界面，如下图所示：



程序运行

配置仿真机的网络信息

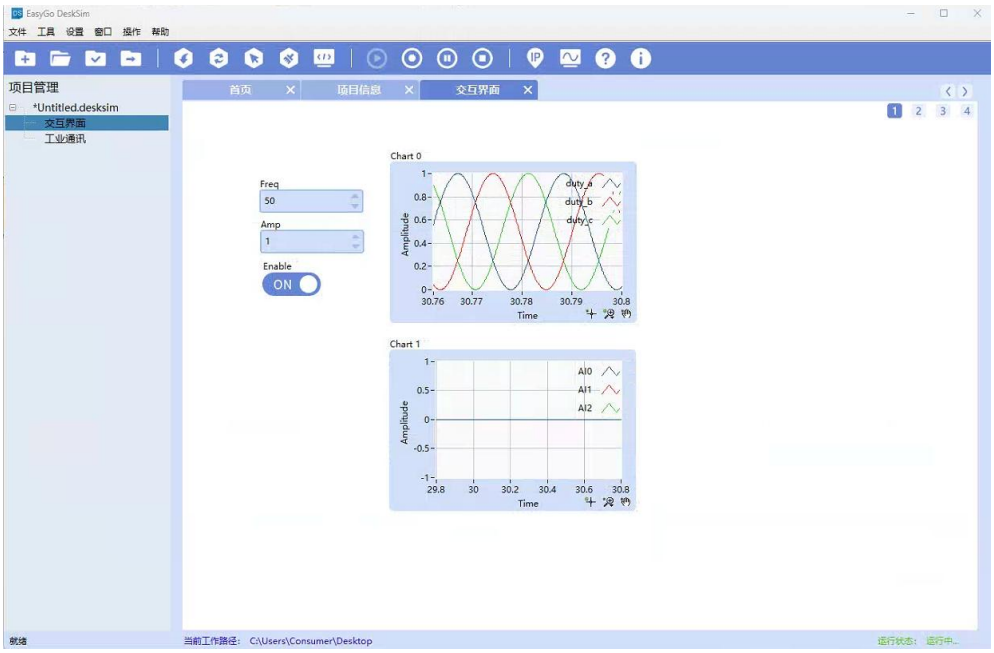
点击 DeskSim 软件工具栏的按钮，即可打开仿真机的网络配置窗口，设置好 IP 地址、端口号等信息。

Copyright © EasyGo-Tech. All Rights Reserved.



运行程序

点击软件工具栏的按钮即可运行程序。

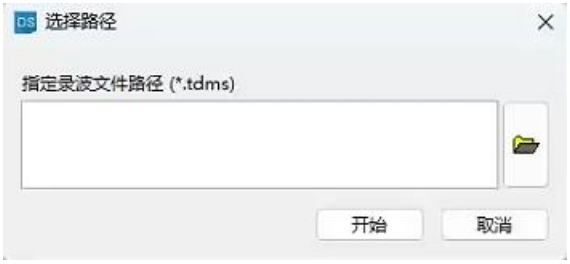


可以实时调整 Amp 的值来观察实际波形的变化情况。由于实际的 AI 通道是悬空的，所以采集到的信号均为 0V，可以外接信号来观察采集信号是否正确。具体现象不再详述。同时运行过程中还可以动态修改附加区中 FPGA Model Parameter 的参数，具体参考 EasyGo DeskSim 软件的帮助文档中的相关说明，由于模型比较简单，所以没有使用动态修改参数功能。

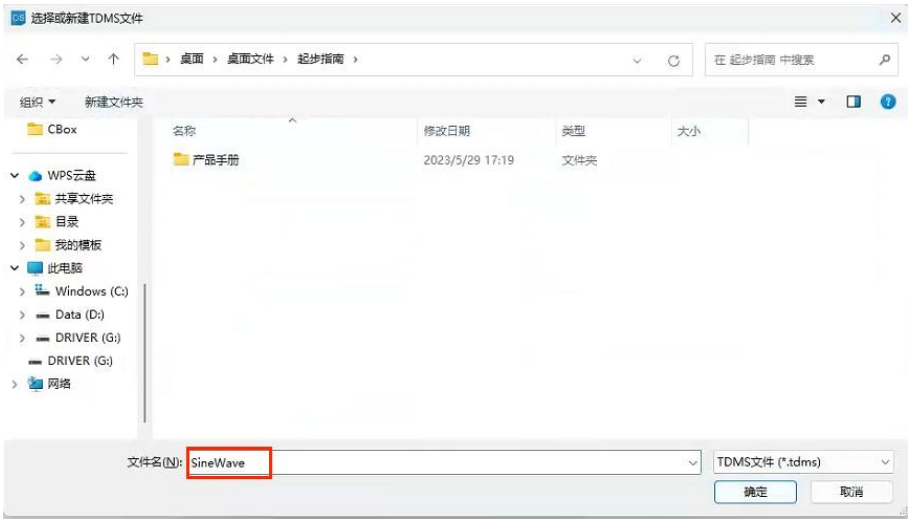
波形录制

点击软件工具栏的按钮，弹出录制波形配置界面，如下图所示：

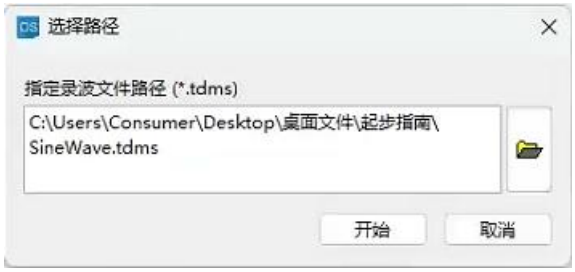
Copyright © EasyGo-Tech. All Rights Reserved.



点击路径配置按钮，弹出路径选择对话框，选好存储路径后，配置好波形文件的名称，如下图所示：



点击“确定”按钮完成配置，此时录制波形配置界面配置完成，如下图所示：



点击“开始”按钮，录波功能正式启动，此时我们可以看到界面上的波形录制按钮变成闪烁红色，如下图所示：



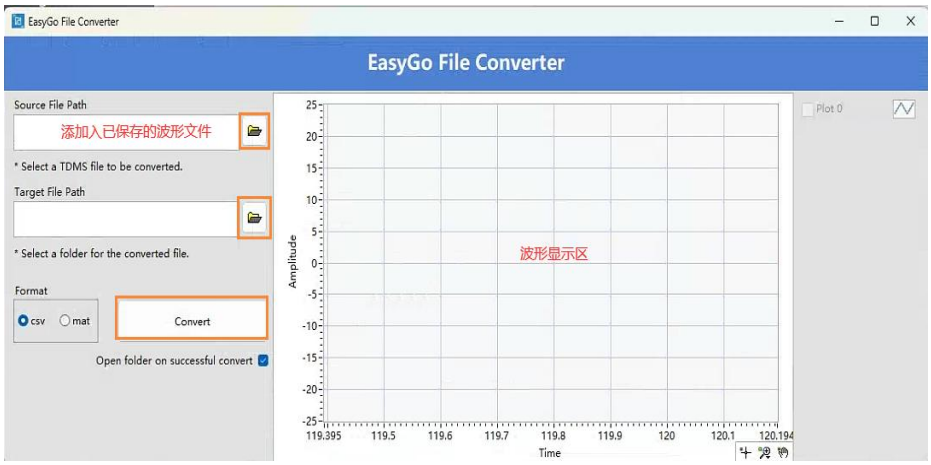
在这个录波状态下，程序运行过程中，模型文件中 Scope 模块配置的所有的有效信号均会实时记录下来。

波形查看

完成波形录制后，在 DeskSim 软件界面工具栏中，找到工具按键，点击后打开选择“文件转换器”选项，在“Source File Path”框中右侧，鼠标左击打开

Copyright © EasyGo-Tech. All Rights Reserved.

文件添加功能，将已保存的录波文件添加入对话框中，即可查看实时波形数据，如下图所示：



注：录制的波形文件为*.tdms 格式的，具体如何查看波形文件以及波形文件格式转换，请参考 EasyGo DeskSim 的帮助文档中的工具箱说明部分。波形的录制时间控制在大约 2-3 分钟左右，以便观察波形实时变化结果，否则会导致文件过大，内存不足。

暂停程序

点击软件工具栏的按钮即可随时暂停程序。暂停后，可以看到界面上的暂停按钮变成红色的，如下图所示：



注意：

◆ 暂停功能只是暂停主界面的波形更新或数值显示控件的数据更新，便于用户查看暂停瞬时前的一段时间的数据或波形；

◆ 暂停功能对实时仿真机中的程序不影响；

◆ 暂停功能对波形录制也不影响，上下位机的数据交互始终没有间断；

停止程序

点击软件工具栏的按钮即可停止程序。

保存项目文件

全部运行完成后，为了便于下一次打开直接使用，可以对上述所有的配置操作进行保存管理，保存成 DeskSim 软件专属的项目文件（*.desksim）。

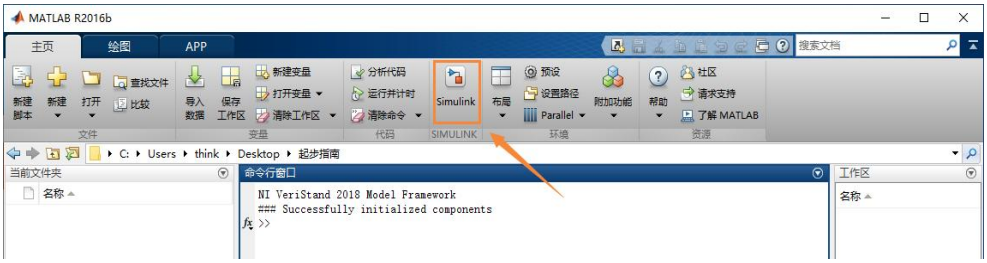
Copyright © EasyGo-Tech. All Rights Reserved.

点击工具栏中的保存按钮，选择路径，修改名称，即可完成保存。下次打开时，可以点击软件工具栏中的打开按钮，载入以前保存的项目文件，或者直接双击项目文件，直接打开软件并载入项目文件。

Copyright © EasyGo-Tech. All Rights Reserved.

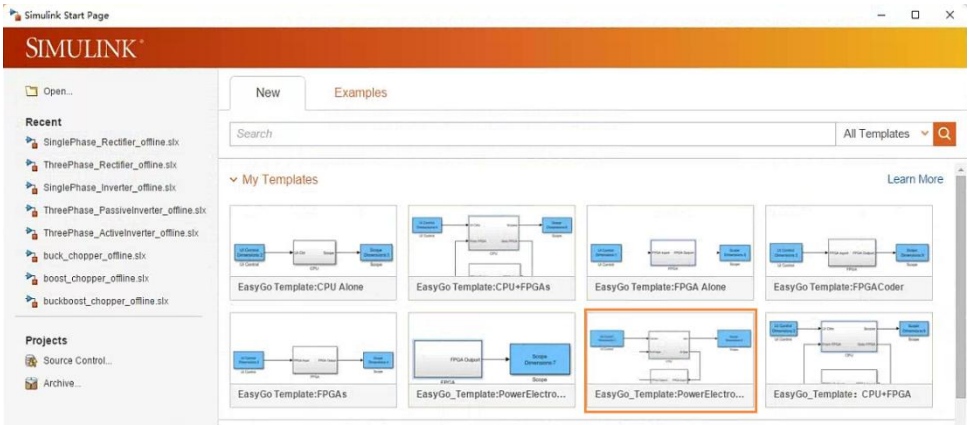
EasyGo Power Electronic&FPGA Coder

Power Electronic&FPGA Coder 是利用 EasyGo FPGA Coder 函数库配合 EasyGo Real-Time 函数库建立用于 CPU 和 FPGA 联合仿真的实时模型框架，即在实际仿真过程中使用 CPU 和 FPGA 板卡进行仿真，并将仿真结果上传至上位机观察或交互至工业通讯端口。如果用户需要在其他框架下使用 FPGA Coder 和 Real-Time 的功能，可以将 FPGA 下的程序复制到其他框架的 CPU 和 FPGA 中使用。



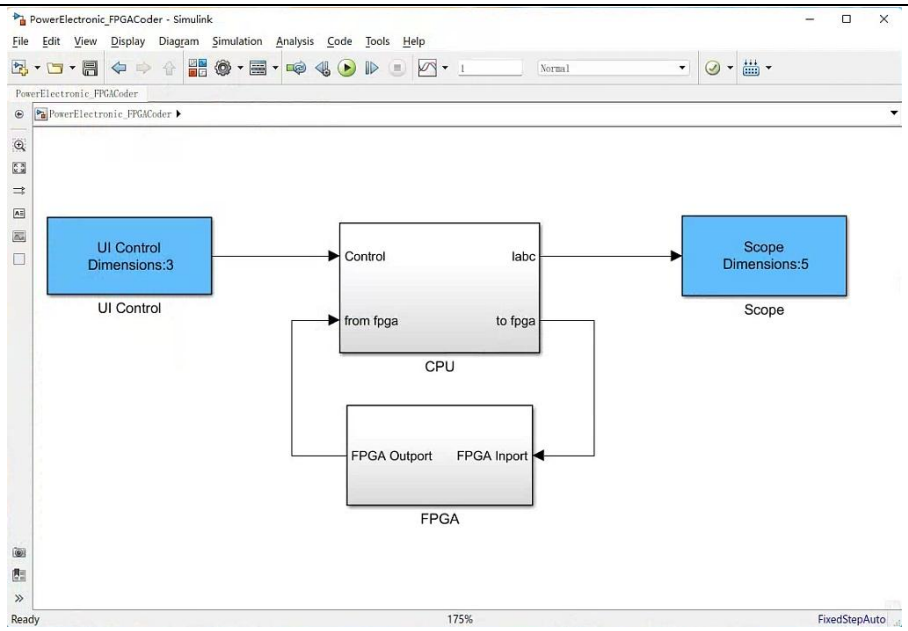
启动 Simulink 后，弹出“Simulink Start Page”， 在该页面中可以看到在“My Templates”目录下，会有 8 个“EasyGo Template”命名的模板文件，可以根据不同的需求打开不同的模板进行快速模型搭建。

准备程序



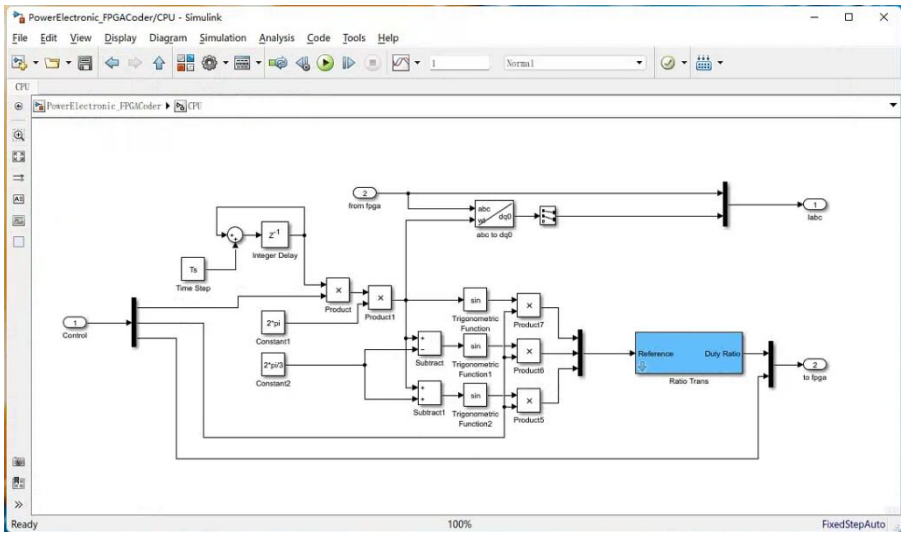
新建出来的原始模型是未保存的，将其保存成“Power Electronic_FPGA Coder.slx”，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



由于是 CPU + FPGA 联合仿真模型仿真程序，所以核心代码在“CPU”子系统和 FPGA 子系统里面。

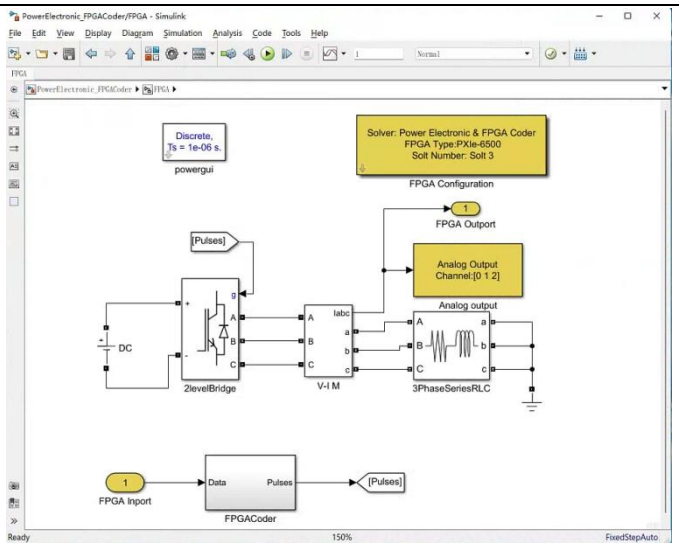
双击打开“CPU”子系统，如下图所示：



在“CPU”子系统中可以看到是一个简单的三相正弦波参考波生成的程序，同时附带上传部分 FPGA 数据。

双击打开“FPGA”子系统，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.

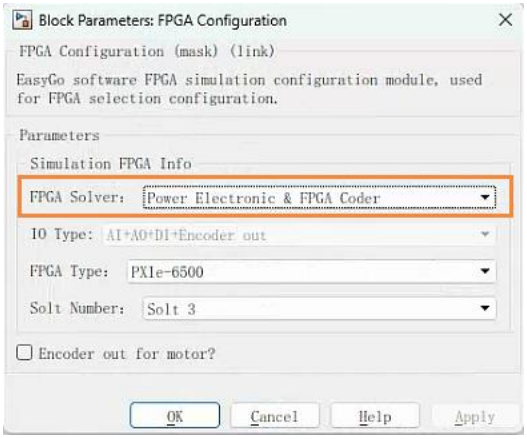


在“FPGA”子系统中可以看到 FPGA 程序接收到参考波后生成 PWM 波的程序，同时附带三路模拟信号采集（部分模块的详细说明可参考 EasyGo RealTime Block 帮助文档）。

由于程序是使用的单块 FPGA 板卡作为 FPGACoder 仿真的程序，所以只有一个 FPGA 子系统，如果用户使用多 FPGA 仿真，可以参考“FPGAs”框架来调用 FPGACoder 仿真程序。在该“FPGA”子系统中可以看到还包含一个“FPGACoder”子系统及外围交互的模型代码，在调用 FPGACoder 建立算法时，模型必须要放在这个“FPGACoder”子系统内。除了核心的“FPGACoder”子系统外，外围只支持配置模块及基础的 IO 模块。

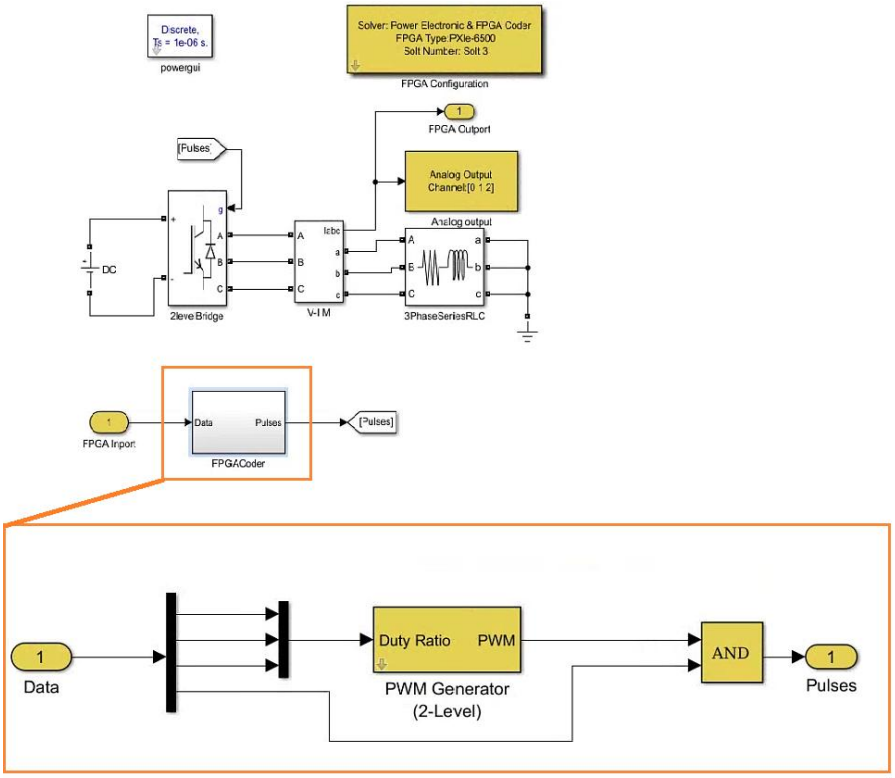
用户在使用 Power Electronic&FPGA Coder 仿真时，模型搭建方面需要注意以下几点：

◆ FPGA Configuration 中的 FPGA Solver 需要选择为 Power Electronic&FPGA Coder。



Copyright © EasyGo-Tech. All Rights Reserved.

◆ FPGA Coder 的算法需要放在 FPGA Coder 的子系统内，输入输出的个数和维数可以自己定义。



◆ 在一个 FPGA 子系统里只能有一个 FPGACoder 子系统。

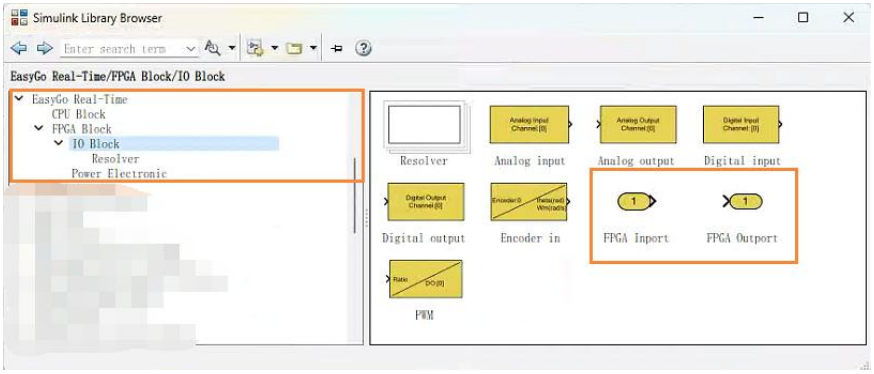
◆ FPGA Coder 子系统所在的 FPGA 子系统中，除了核心“FPGA Coder”子系统外，只支持配置模块及基础的 IO 模块。

Template 中提供了一个简单的三相正弦波的生成算法，用户可以根据自己的需要进行任意搭建。编辑 FPGA Coder 算法有以下几个注意事项：

输入输出端口

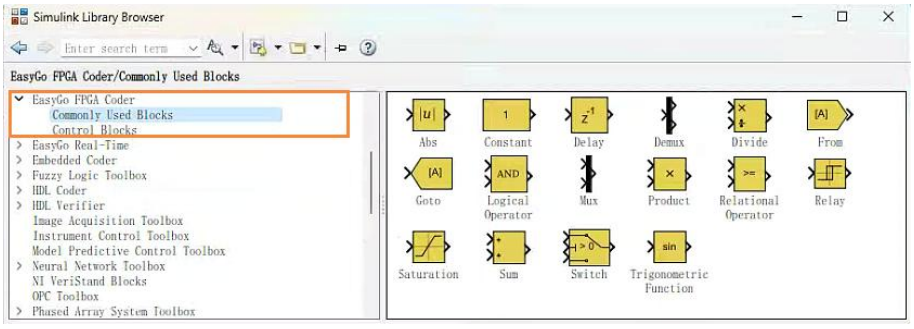
◆ 在 FPGACoder 最上层的输入输出端口，需要用 EasyGo Real-Time>>FPGA Block>>IO Block 下的 FPGA Inport 和 FPGA Outport 这两个端口，并需要正确设置端口的维数。如果是 FPGA Coder 里面的子系统，就不需要用这两个端口模块，也不需要设置维数信息。

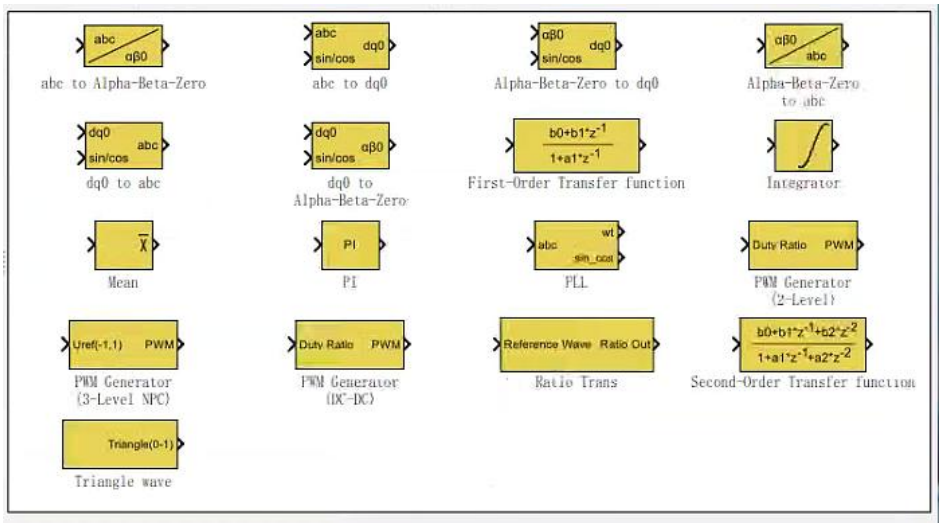
Copyright © EasyGo-Tech. All Rights Reserved.



函数模块

◆ 在 FPGA Coder 子系统下的函数模块，都需要用 EasyGo FPGA Coder 库下的函数。

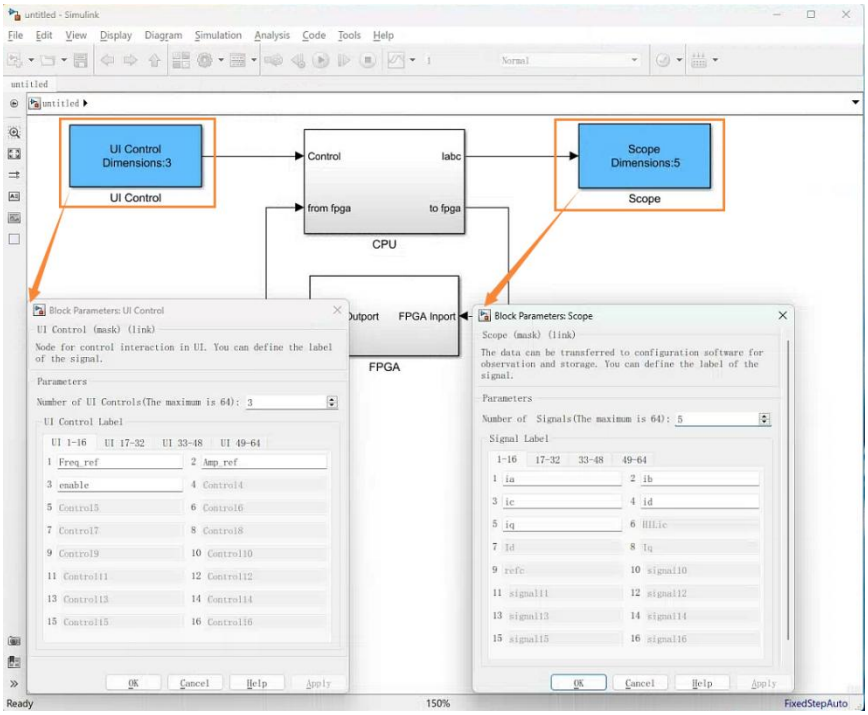




返回主程序，分别打开输入端“UI Ctrl”和输出端“Scope”的配置窗口，如下图所示：这里把所有需要在 DeskSim 软件界面控制的信号全部配置在“UI Control”模块中，把所有需要在 DeskSim 软件界面上观察的信号全部配置在“Scope”模块中，同时在连入子系统后的“UI Control”的信号根据程序的需要解绑连入程序中，将程序输出的信号根据需要按顺序捆绑在一起输出至“Scope”模块中。

Copyright © EasyGo-Tech. All Rights Reserved.

注意：程序中所有与主界面交互的数据必须通过“UI Control”模块和“Scope”模块进行交互，程序中存在的其他的输入输出信号均不支持在 DeskSim 软件上进行控制或显示，且同一个程序有且最多支持一个“UI Control”模块或“Scope”模块。（通讯模块使用方式同理，详细说明可参考 EasyGo RealTime Block 帮助文档）。



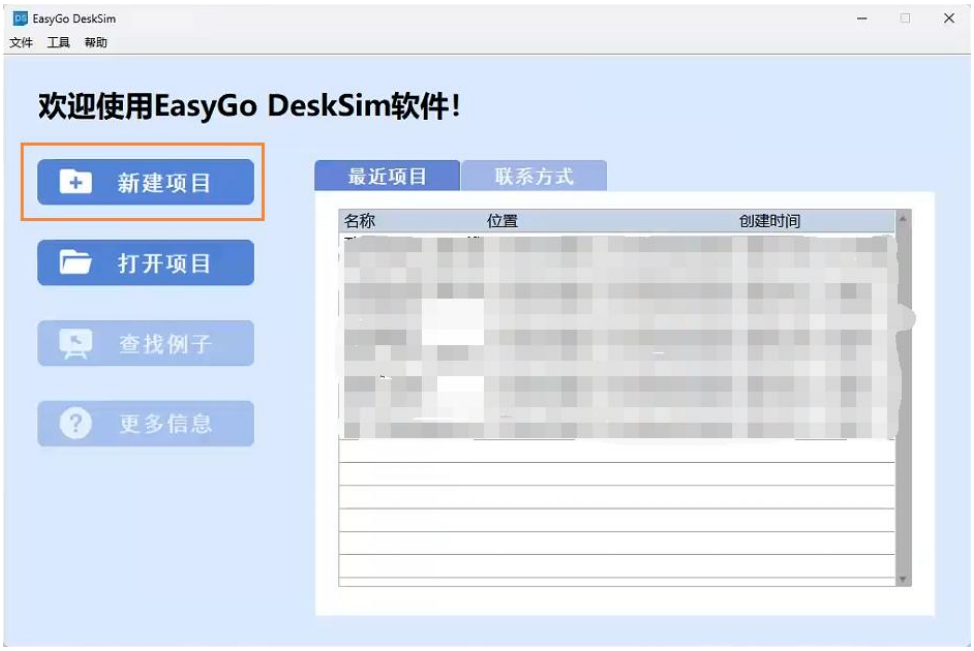
由此可知，整个程序实现的功能是输入端输入幅值、频率、使能信号，输出端为三路模拟采集及 Power Electronic&FPGA Coder 算法生成的三相波的瞬时值。由此可知，整个程序实现的功能是输入端输入幅值、频率及参考波的使能信号，控制三相正弦波参考波，输出端为三路模拟采集及 Power Electronic&FPGA Coder 算法生成的三相波的每个计算周期的瞬时值及 FPGA 采集到的 AO 信号。

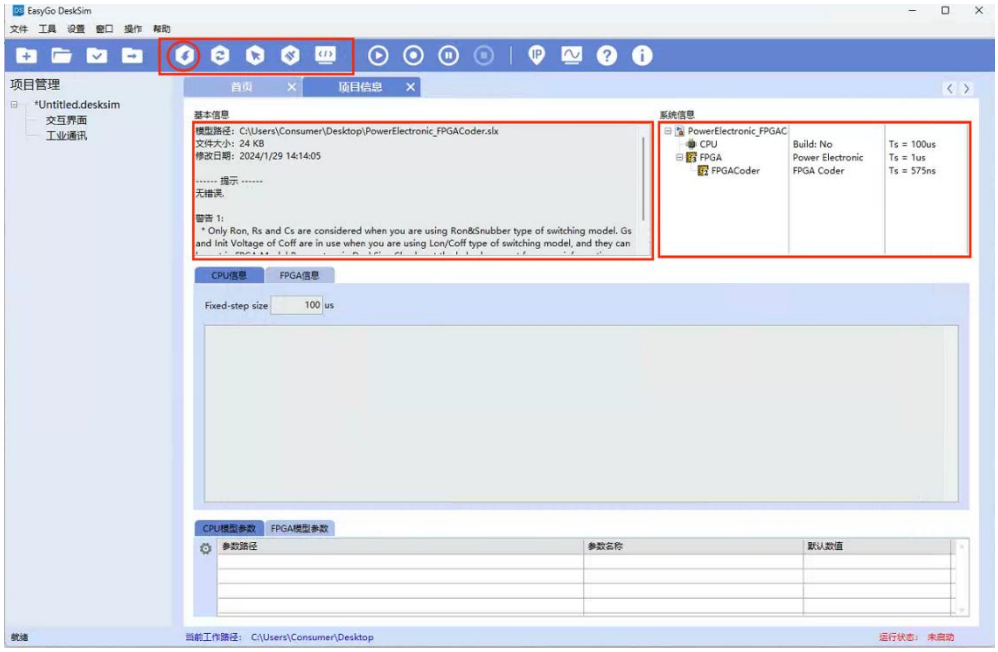
注：用户可以根据自己的 FPGA 上的算法修改 “FPGA”子系统中的代码，以及对应修改输入输出端口的信号名称及数量。

导入程序

启动 EasyGo DeskSim 软件，在初始界面点击新建项目，新建工程文件后，再在工具栏界面中点击“载入模型”按钮载入程序文件；

Copyright © EasyGo-Tech. All Rights Reserved.





载入文件后，软件会分析得到程序的基本信息。

注意：

◆如果模型中存在错误，用户需要把错误信息全部处理掉，才能进行实时运行；

◆如果需要修改或者打开模型文件，可以点击“编辑模型”按钮打开模型文件进行修改或查看；

◆如果用户载入的模型文件发生了修改，在界面中可以点击“刷新模型”按钮进行更新。

Copyright © EasyGo-Tech. All Rights Reserved.

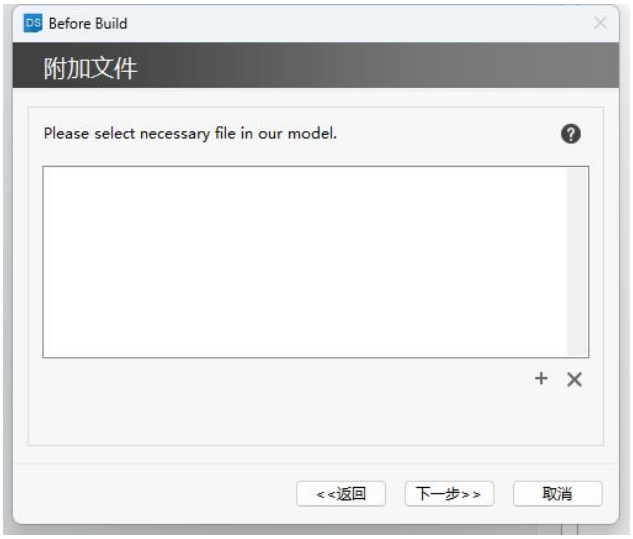
仿真配置

CPU 模型编译

针对 CPU 模型，需要对 CPU 模型进行编译操作，如下图所示，先设置程序运行的步长，如 100us，即 10k 的控制频率；



步长设置完成后，开始编译 CPU 模型，点击界面上的“编译模型”按钮，会弹出 Before Build 窗口，供用户对实际的编译操作进行与配置。点击“下一步>>”进入下一步配置，如下图所示：

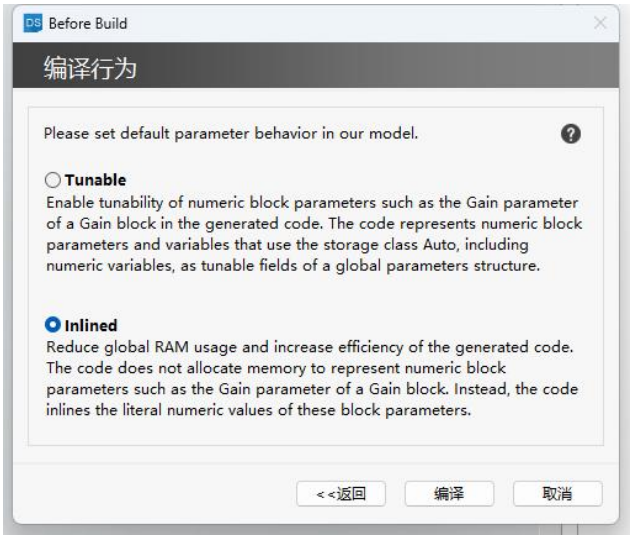


在“附加文件”页面中，用户可以添加在模型初始化过程中需要用到的文件，便于程序自动检测文件中所设置的变量；用户可通过右下角的添加或删除按钮进

Copyright © EasyGo-Tech. All Rights Reserved.

行操作。

由于使用的 CPU 模型比较简单，没有用到相关的文件，所以跳过这一步，点击“下一步>>”进入下一步配置，如下图所示：



在“编译行为”页面中，用户可以设置是否支持在线调参功能：

- Tunable：可调模式，是指程序中的一些常量或者增益的值是可以在线实时调整的，这个模式下程序运行时间会较长，效率较低。
- Inline：不可调模式，是指程序中的一些常量或者增益的值是不可以在线实时调整的，这个模式下程序运行时间会较短，效率更高。

由于使用的 CPU 模型比较简单，直接选择“Inline”模式，点击“Build”按钮，进入模型编译操作，如下图所示：该过程会持续几分钟时间（具体与模型的复杂程度有关）；



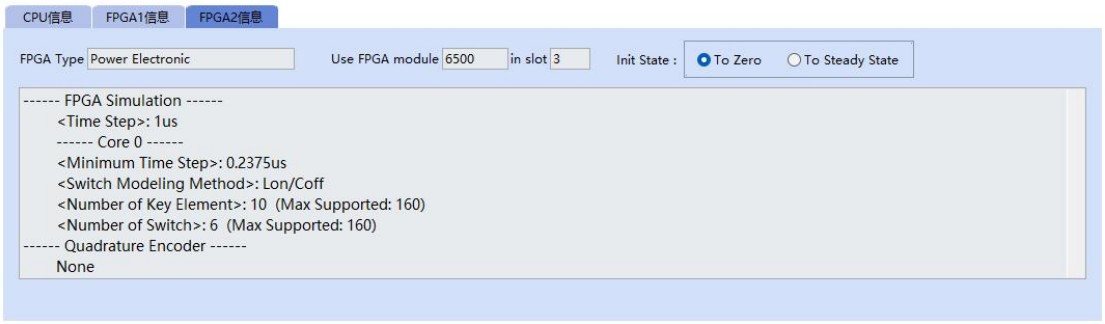
编译完成后，会提示编译结果“编译成功”，如下图所示：



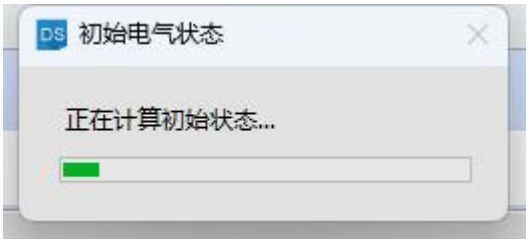
FPGA 模型初始化

对于使用了 FPGA 模型的程序，在 FPGA 模型为电力电子算法模型时，用户可根据实际需要对电力电子算法模型的初始状态进行处理，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



如果需要初始化操作的话，点击“Init State”勾选框中的“To Steady State”选项，之后会弹出确认对话框，确认后开始对模型进行初始化处理，该过程会持续几分钟，如下图所示：



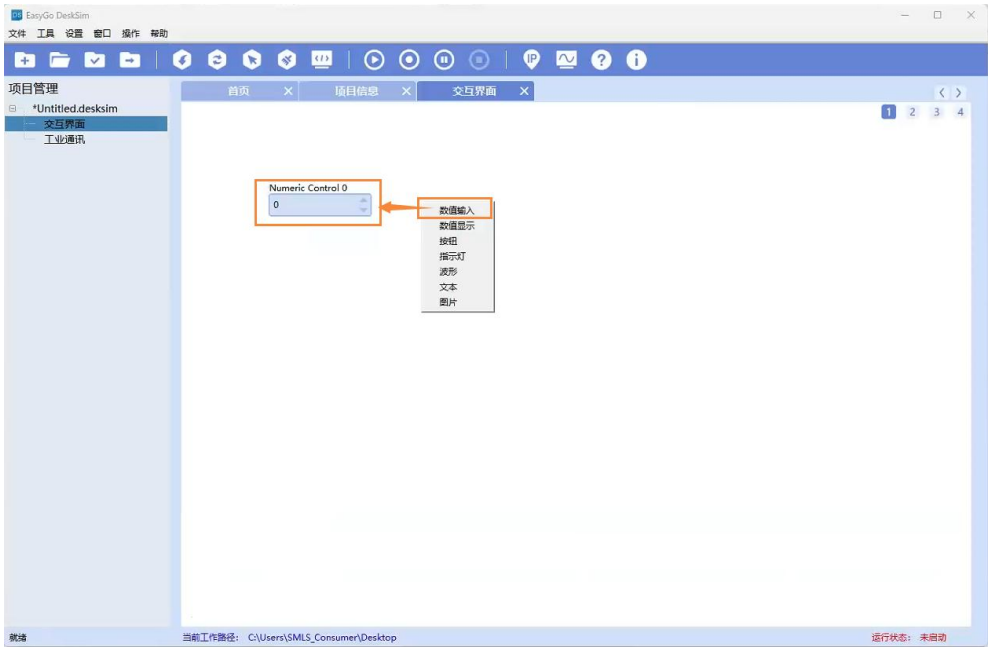
初始化完成后，模型在运行时会预先导入初始状态量进行电力电子拓扑仿真。

添加自定义界面

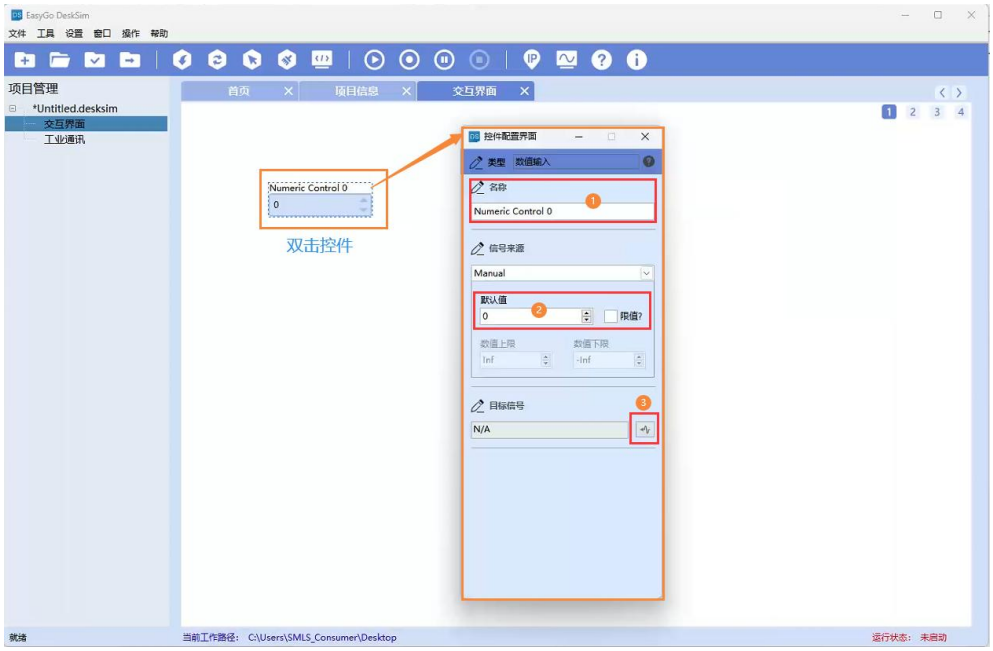
添加 UI 界面的控制输入

DeskSim 主界面切换至交互界面，在界面中单击右键，会弹出控件菜单，点击“数值输入”，并在空白编辑区域选择合适位置释放，即完成一个 Numeric Control 控件的添加，如下图所示：

Copyright © EasyGo-Tech. All Rights Reserved.



添加完成之后，点击选中这个控件，界面右侧栏会显示这个控件的配置内容，可选择信号绑定的对象（程序的所有输入端），修改名称和初始值；点击信号选择按钮，在弹出的信号列表中选择需要绑定的信号，如“Freq”，选中后，控件名称会同步更新为信号名称，用户可以使用信号名称或手动修改名称，设置完成后，设置初始参数为“50”，如下图所示：



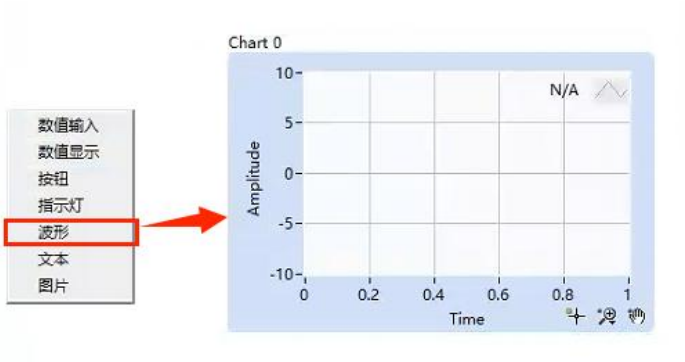
同样的方式，将程序的三个输入端口都绑定到界面的控件之后可以得到：

Copyright © EasyGo-Tech. All Rights Reserved.

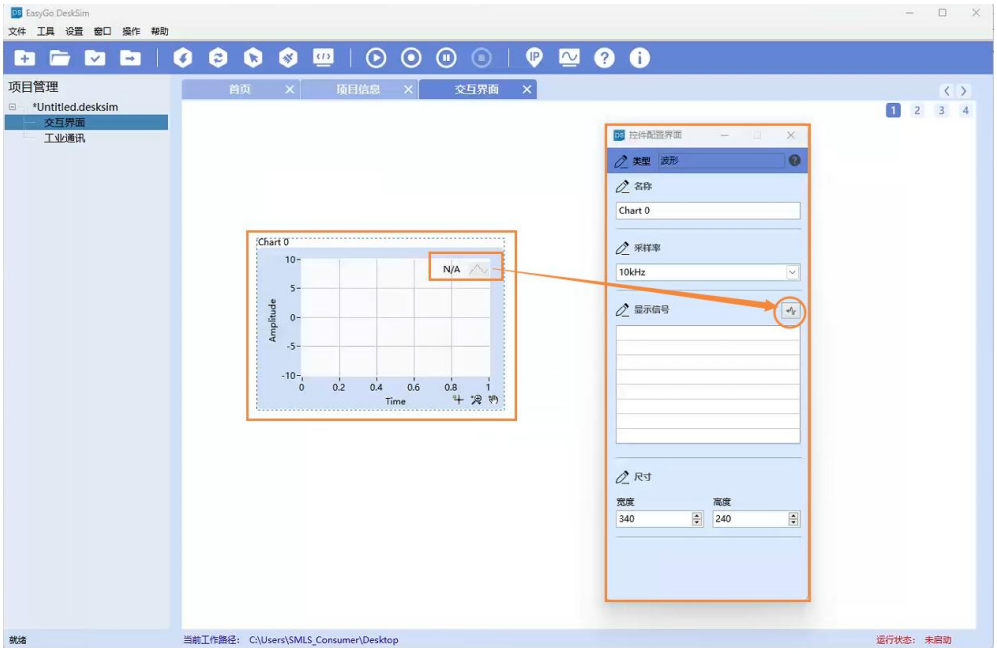


添加 UI 界面的波形显示

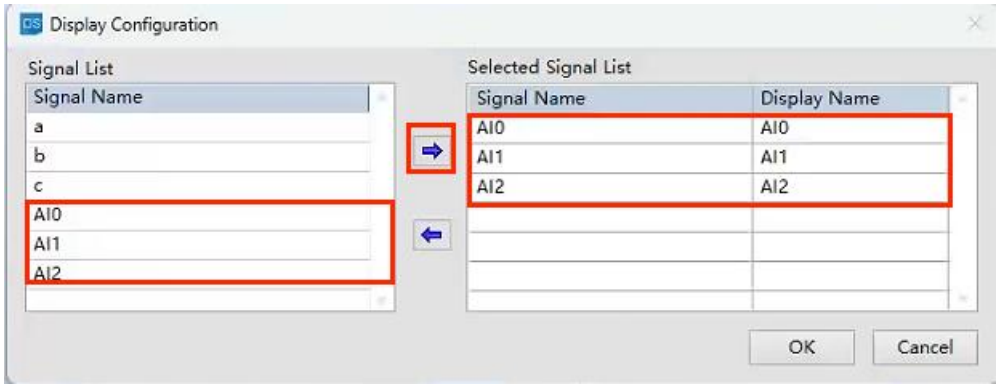
在交互界面的空白位置右键调出控件选板，左键点击“波形”，并将其在空白编辑区域释放，即完成一个 Chart 控件的添加，如下图所示：



选中 Chart 控件，在右侧显示的配置区域中可以选中显示的信号源（程序的所有输出信号均可显示）。



Copyright © EasyGo-Tech. All Rights Reserved.

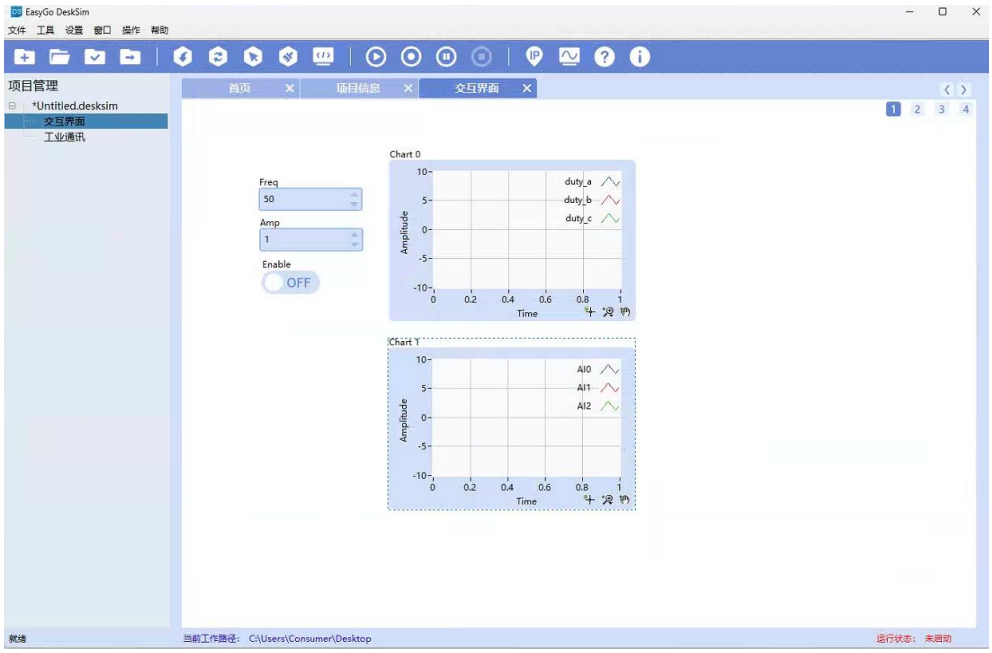


并可以修改 Chart 的名称、采样率和大小。



同样的方式，添加 a，b，c 的波形显示。

配置完成后，可以得到最终的自定义界面，如下图所示：



程序运行

配置仿真机的网络信息

点击 DeskSim 软件工具栏的按钮，即可打开仿真机的网络配置窗口，

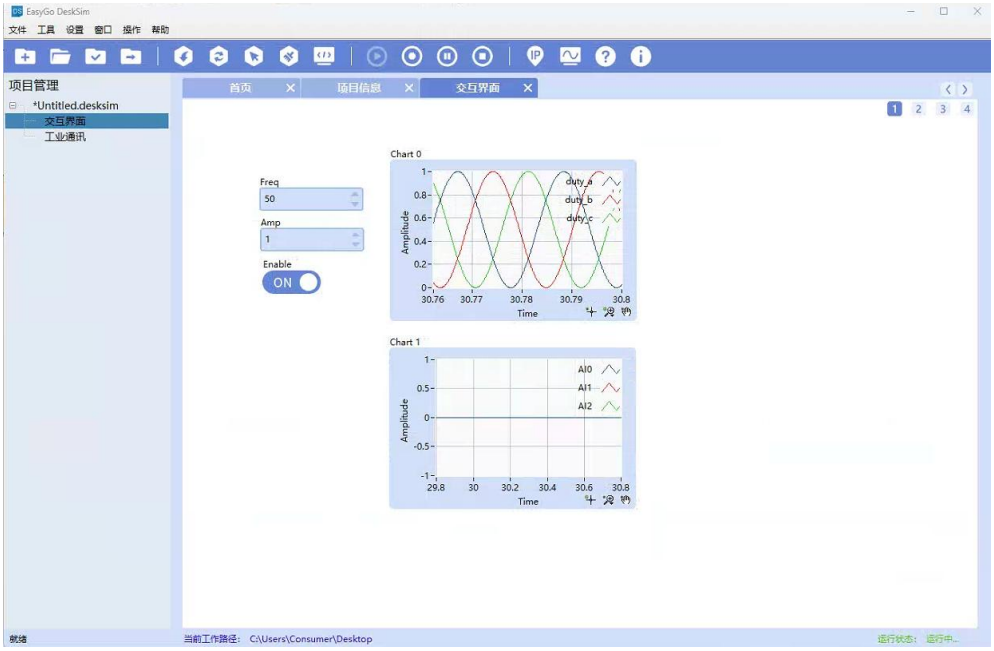
Copyright © EasyGo-Tech. All Rights Reserved.

设置好 IP 地址、端口号等信息。



运行程序

点击软件工具栏的按钮即可运行程序。

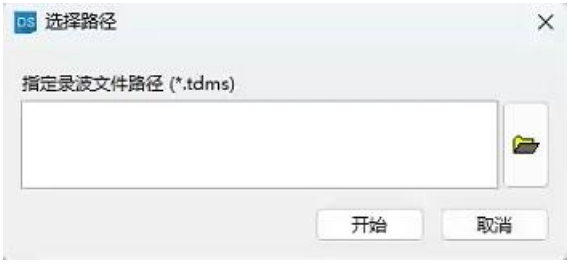


可以实时调整 Amp 的值来观察实际波形的变化情况。由于实际的 AI 通道是悬空的，所以采集到的信号均为 0V，可以外接信号来观察采集信号是否正确。具体现象不再详述。同时运行过程中还可以动态修改附加区中 FPGA Model Parameter 的参数，具体参考 EasyGo DeskSim 软件的帮助文档中的相关说明，由于模型比较简单，所以没有使用动态修改参数功能。

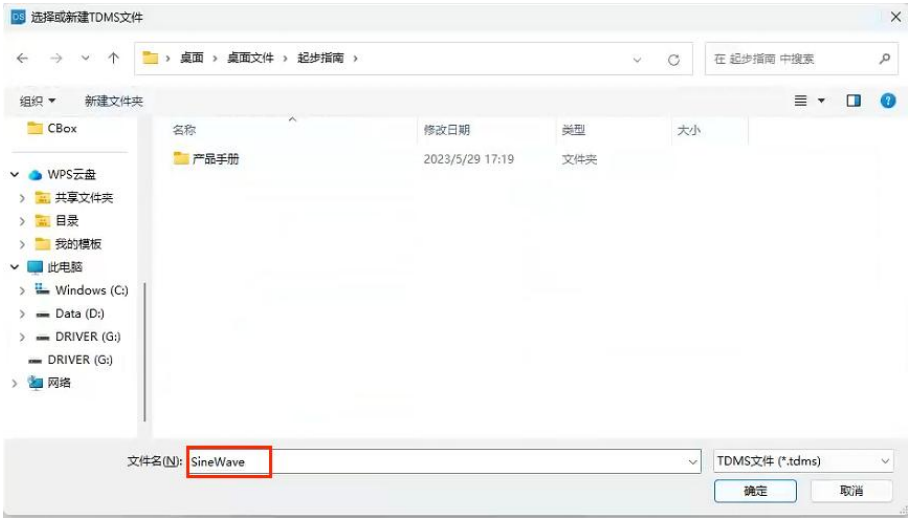
波形录制

Copyright © EasyGo-Tech. All Rights Reserved.

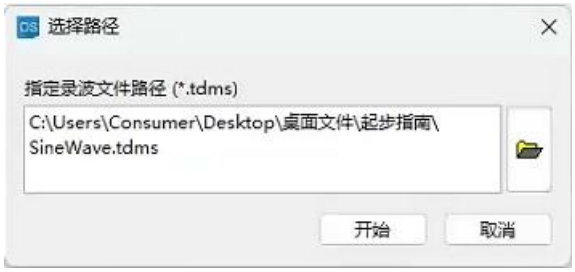
点击软件工具栏的按钮，弹出录制波形配置界面，如下图所示：



点击路径配置按钮，弹出路径选择对话框，选好存储路径后，配置好波形文件的名称，如下图所示：



点击“确定”按钮完成配置，此时录制波形配置界面配置完成，如下图所示：



点击“开始”按钮，录波功能正式启动，此时我们可以看到界面上的波形录制按钮变成闪烁红色，如下图所示：

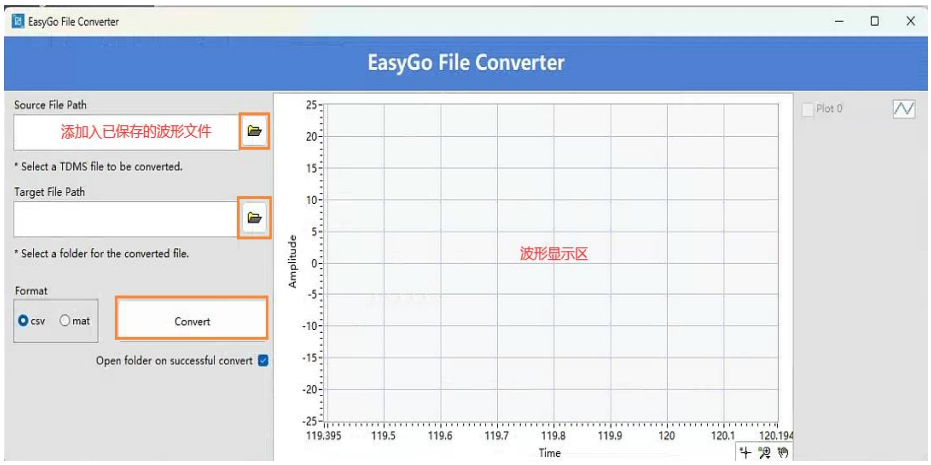


在这个录波状态下，程序运行过程中，模型文件中 Scope 模块配置的所有的有效信号均会实时记录下来。

波形查看

Copyright © EasyGo-Tech. All Rights Reserved.

完成波形录制后，在 DeskSim 软件界面工具栏中，找到工具按键，点击后打开选择“文件转换器”选项，在“Source File Path”框中右侧，鼠标左击打开文件添加功能，将已保存的录波文件添加入对话框中，即可查看实时波形数据，如下图所示：



注：录制的波形文件为*.tdms 格式的，具体如何查看波形文件以及波形文件格式转换，请参考 EasyGo DeskSim 的帮助文档中的工具箱说明部分。波形的录制时间控制在大约 2-3 分钟左右，以便观察波形实时变化结果，否则会导致文件过大，内存不足。

暂停程序

点击软件工具栏的按钮即可随时暂停程序。暂停后，可以看到界面上的暂停按钮变成红色的，如下图所示：



注意：

◆ 暂停功能只是暂停主界面的波形更新或数值显示控件的数据更新，便于用户查看暂停瞬时前的一段时间的数据或波形；

◆ 暂停功能对实时仿真机中的程序不影响；

◆ 暂停功能对波形录制也不影响，上下位机的数据交互始终没有间断；

停止程序

点击软件工具栏的按钮即可停止程序。

保存项目文件

Copyright © EasyGo-Tech. All Rights Reserved.

全部运行完成后，为了便于下一次打开直接使用，可以对上述所有的配置操作进行保存管理，保存成 DeskSim 软件专属的项目文件（*.desksim）。

点击工具栏中的保存按钮，选择路径，修改名称，即可完成保存。下次打开时，可以点击软件工具栏中的打开按钮，载入以前保存的项目文件，或者直接双击项目文件，直接打开软件并载入项目文件。

Copyright © EasyGo-Tech. All Rights Reserved.

Copyright © EasyGo-Tech. All Rights Reserved.